

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-148922

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 L	7/087		H 0 3 L 7/08	P
H 0 4 L	7/033		H 0 4 L 7/02	B

審査請求 未請求 請求項の数23 O L (全 29 頁)

(21)出願番号 特願平7-300152

(22)出願日 平成7年(1995)11月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 丸山 一郎

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 井島 藤治 (外1名)

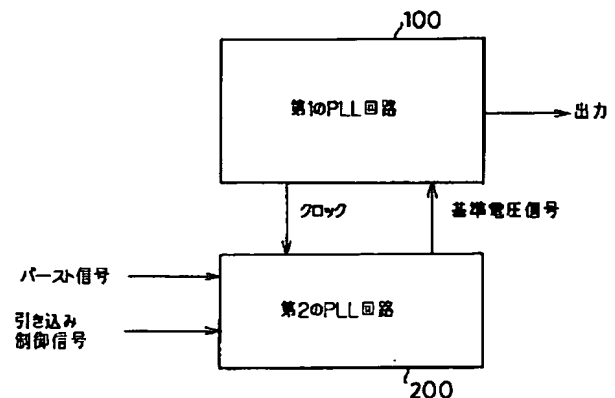
(54)【発明の名称】 高速同期型水晶発振回路

(57)【要約】

【課題】 本発明は高速同期型水晶発振回路に関し、高速引き込みを行なうことができる高速同期型水晶発振器を提供することを目的としている。

【解決手段】 水晶発振器と電圧制御発振器を含む第1のPLL回路と、該第1のPLL回路と接続され、バースト信号及び引き込み制御信号を受けて、前記第1のPLL回路に基準電圧信号を与える第2のPLL回路よりなり、前記第1のPLL回路の電圧制御発振器の周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第2のPLL回路により位相を高速に同期し保持するように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項 1】 水晶発振器と電圧制御発振器を含む第 1 の PLL 回路と、

該第 1 の PLL 回路と接続され、バースト信号及び引き込み制御信号を受けて、前記第 1 の PLL 回路に基準電圧信号を与える第 2 の PLL 回路よりなり、前記第 1 の PLL 回路の電圧制御発振器の周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第 2 の PLL 回路により位相を高速に同期し保持するように構成された高速同期型水晶発振回路。

【請求項 2】 前記第 1 の PLL 回路は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第 1 の位相比較器と、該第 1 の位相比較器の出力を平滑化する第 1 のループフィルタと、該第 1 のループフィルタの出力と、前記第 2 の PLL 回路からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出力する電圧制御発振器と、該電圧制御発振器の出力を分周して前記第 1 の比較器の一方の入力に与える分周器とにより構成され、前記第 2 の PLL 回路は、前記水晶発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第 2 の位相比較器と、該第 2 の位相比較器の出力を平滑化する第 2 のループフィルタと、該第 2 のループフィルタ出力を引き込み制御信号によりサンプリングするサンプルホールド回路とにより構成されることを特徴とする請求項 1 記載の高速同期型水晶発振回路。

【請求項 3】 前記第 1 及び第 2 の位相比較器は SR フリップフロップにより構成され、前記第 1 及び第 2 のループフィルタは CR ローパスフィルタにより構成され、前記電圧加算器はオペアンプにより構成され、前記サンプルホールド回路はオペアンプとアナログスイッチとコンデンサを含んで構成されることを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 4】 前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 5】 前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 6】 前記電圧加算器にオペアンプと抵抗による加算増幅器を用いるものにおいて、オペアンプの正入

力に inputs する基準電圧を可変する構成としたことを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 7】 前記第 1 の PLL 回路は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第 1 の位相比較器と、該第 1 の位相比較器の出力を平滑化する第 1 のループフィルタと、該第 1 のループフィルタの出力と、前記第 2 の PLL 回路からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出力する電圧制御発振器と、該電圧制御発振器の出力を分周して前記第 1 の比較器の一方の入力に与える分周器とにより構成され、前記第 2 の PLL 回路は、前記電圧制御発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第 2 の位相比較器と、該第 2 の位相比較器の出力を平滑化する第 2 のループフィルタと、該第 2 のループフィルタ出力を第 1 の引き込み制御信号によりサンプリングするサンプルホールド回路と、その一方が該サンプルホールド回路の出力又は基準電圧発生回路と接続され、他方が前記電圧加算器の一方の入力に接続され、第 2 の引き込み制御信号により前記サンプルホールド回路又は基準電圧発生回路のいずれか一方を選択するスイッチとにより構成されることを特徴とする請求項 1 記載の高速同期型水晶発振回路。

【請求項 8】 前記基準電圧を発生する回路として、抵抗による分圧回路を用いたことを特徴とする請求項 7 記載の高速同期型水晶発振回路。

【請求項 9】 前記第 1 及び第 2 の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 10】 前記第 1 及び第 2 の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することを特徴とする請求項 2 記載の高速同期型水晶発振回路。

【請求項 11】 前記位相比較器を、第 1 の入力をそのクロック入力に受ける D タイプフリップフロップと、第 2 の入力を受けて微分し、該 D タイプフリップフロップのクリア入力に与える微分回路とにより構成することを特徴とする請求項 2 又は請求項 7 のいずれかに記載の高速同期型水晶発振回路。

【請求項 12】 前記電圧加算器を、オペアンプと抵抗を用いた差動増幅器で構成し、該差動増幅器の第 1 の入力に、第 1 のループフィルタの出力を、第 2 の入力に第 2 の PLL 回路の制御出力を接

続することを特徴とする請求項2又は請求項7のいずれかに記載の高速同期型水晶発振回路。

【請求項13】 前記電圧加算器を、第1の入力に第1のループフィルタの出力を抵抗を介して、第2の入力に第2のPLL回路の制御出力を抵抗を介して出力側で接続した構成とすることを特徴とする請求項2又は請求項7のいずれかに記載の高速同期型水晶発振回路。

【請求項14】 前記サンプルホールド回路を、第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、
該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、
該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより構成することを特徴とする請求項2記載の高速同期型水晶発振回路。

【請求項15】 前記サンプルホールド回路を、第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、
該A/D変換器の出力を第1のコントロール信号によりラッチするラッチ回路と、
該ラッチ回路の出力又は固定データを受けて何れか一方を第2のコントロール信号によりセレクトするセクタと、
該セクタの出力をアナログ信号に変換するD/A変換器とにより構成することを特徴とする請求項7記載の高速同期型水晶発振回路。

【請求項16】 前記位相比較器を、
第1の入力をそのクロック入力に受けるDタイプフリップフロップと、
第2の入力を受けて微分し、該Dタイプフリップフロップのクリア入力に与える微分回路とにより構成し、前記サンプルホールド回路を、
第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、
該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、
該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより構成することを特徴とする請求項7記載の高速同期型水晶発振回路。

【請求項17】 前記サンプルホールド回路を、抵抗とコンデンサによる積分回路と、
該積分回路の出力をコントロール信号によりサンプリングするスイッチと、
該スイッチによりサンプリングした信号を保持するコンデンサとにより構成することを特徴とする請求項2記載の高速同期型水晶発振回路。

【請求項18】 前記第1のループフィルタの出力を切り換える時定数回路を、
第1の抵抗と、コントロール信号によりオン/オフされるスイッチが直列に接続された第2の抵抗との並列回路

と、
該並列回路と接続されるコンデンサとで構成することを特徴とする請求項2又は請求項7のいずれかに記載の高速同期型水晶発振回路。

【請求項19】 前記第1のループフィルタの出力を切り換える時定数回路を、
第1の抵抗と第2の抵抗の直列回路と、
該第2の抵抗の両端をコントロール信号により短絡するスイッチと、

10 前記直列回路と接続されるコンデンサとで構成することを特徴とする請求項2又は請求項7のいずれかに記載の高速同期型水晶発振回路。

【請求項20】 前記水晶発振器の出力を1/N分周器を介して第1の位相比較器の一方の入力に入力し、
前記電圧制御発振器の出力を1/M分周器を介して第1の位相比較器の他方の入力に入力し、
前記水晶発振器の出力を1/N'分周器を介して第2の位相比較器の一方の入力に入力し、
バースト信号を1/M'分周器を介して第2の位相比較器の他方の入力に入力する構成とし、
20 $N' = n \cdot N$,
前記電圧加算器の第1のループフィルタ出力を受ける入力抵抗の抵抗値をR3、前記サンプルホールド回路の出力を受ける入力抵抗の抵抗値をR4とした場合に、
 $R4 = n \cdot R3$,
 $M = m \cdot M'$ (但し、M, m, N, n, M', N'は整数)

とすることを特徴とする請求項2記載の高速同期型水晶発振回路。

30 【請求項21】 回路内に含まれる分周器の分周比を1とすることを特徴とする請求項2又は請求項7又は請求項20のいずれかに記載の高速同期型水晶発振回路。

【請求項22】 前記水晶発振器の代わりに温度補償型水晶発振器(TCXO)を用いることを特徴とする請求項2又は請求項7又は請求項20のいずれかに記載の高速同期型水晶発振回路。

40 【請求項23】 前記水晶発振器の代わりに、水晶振動子と抵抗とコンデンサを用いた発振回路を用いることを特徴とする請求項2又は請求項7又は請求項20のいずれかに記載の高速同期型水晶発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高速同期型水晶発振回路に関し、更に詳しくはデジタル網、特にピンポン伝送(1本の双方向伝送路で交互に情報を伝送する方式)において、回線信号よりクロックを抽出するPLL回路に使用される電気機械振動子を使用した発振回路に関する。

【0002】

【従来の技術】図46はPLL(Phase Lock

Loop) 回路の従来構成例を示す図である。水晶発振器 1 から発生された安定なパルス信号は、位相比較器 (PD: Phase Detector) 2 の + 入力に入る。該位相比較器 2 の - 入力には出力が分周器 5 で $1/M$ に分周された信号が入る。この位相比較器 2 は、+ 入力信号と - 入力信号との位相差に応じた信号を出力し、その出力はループフィルタ 3 に入り、平滑化される。該ループフィルタ 3 の出力は、電圧制御発振器 (VCO: Voltage Controlled Oscillator) 4 に入る。電圧制御発振器 4 は、入力信号に応じた周波数の信号を出力する。この電圧制御発振器 4 の出力が PLL 回路の出力となる。一方、この出力は前述したように分周器 5 で $1/M$ に分周された後、位相比較器 2 の - 入力に入る。回路が安定状態になった時には、位相比較器 2 の出力は 0 になる。従って、水晶発振器 1 の出力周波数を f_0 として、分周器 5 の出力周波数も f_0 になっている。従って、PLL 回路は出力周波数 $M \cdot f_0$ の通倍回路として機能する。

【0003】

【発明が解決しようとする課題】従来の PLL 回路に使用される電気機械振動子を使用した発振回路としては、前述した VCXO (電圧制御水晶発振器) が一般的であるが、VCXO を使用した PLL 回路では、水晶発振器の特徴である高 Q や自走周波数安定度が高い等の長所がある反面、VCXO の周波数を変えることにより入力信号と VCXO の位相を同期させる方式のため、位相が完全に一致する (引き込む) まです長時間を要するという問題があった。一方、前述のピンポン伝送では高速の引き込みが要求されるため、水晶発振器を用いた PLL 回路は使用することが困難であった。

【0004】本発明はこのような課題に鑑みてなされたものであって、高速引き込みを行なうことができる高速同期型水晶発振器を提供することを目的としている。

【0005】

【課題を解決するための手段】図 1 は本発明の原理ブロック図である。図において、100 は水晶発振器と電圧制御発振器を含む第 1 の PLL 回路、200 は該第 1 の PLL 回路 100 と接続され、バースト信号及び引き込み制御信号を受けて、前記第 1 の PLL 回路 100 に基準電圧信号を与える第 2 の PLL 回路である。第 2 の PLL 回路 200 にはバースト信号と引き込み制御信号が入力されている。そして、第 1 の PLL 回路 100 から第 2 の PLL 回路 200 には水晶発振器からのクロックが与えられ、第 2 の PLL 回路 200 から第 1 の PLL 回路 100 には基準電圧信号が与えられている。

【0006】この発明の構成によれば、前記第 1 の PLL 回路 100 の電圧制御発振器の周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第 2 の PLL 回路 200 により位相を高速に同期し保持するように構成されることにより、高速引き込み

を可能とすることができる。

【0007】この場合において、前記第 1 の PLL 回路 100 は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第 1 の位相比較器 (PD1) と、該第 1 の位相比較器の出力を平滑化する第 1 のループフィルタと、該第 1 のループフィルタの出力と、前記第 2 の PLL 回路 200 からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出力する電圧制御発振器 (VCO) と、該電圧制御発振器の出力を分周して前記第 1 の比較器の一方の入力に与える分周器とにより構成され、前記第 2 の PLL 回路 200 は、前記水晶発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第 2 の位相比較器 (PD2) と、該第 2 の位相比較器の出力を平滑化する第 2 のループフィルタと、該第 2 のループフィルタ出力を引き込み制御信号 (CONT) によりサンプリングするサンプルホールド回路とにより構成されることを特徴としている。

【0008】この発明の構成によれば、前記第 1 の PLL 回路 100 の電圧制御発振器の出力周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第 2 の PLL 回路 200 により位相を高速に同期し保持するように構成することにより、水晶発振器の安定度で且つ高速の引き込みを可能とする PLL 発振回路を実現することができる。

【0009】また、前記第 1 及び第 2 の位相比較器は SR フリップフロップにより構成され、前記第 1 及び第 2 のループフィルタは CR ローパスフィルタにより構成され、前記電圧加算器はオペアンプにより構成され、前記サンプルホールド回路はオペアンプとアナログスイッチとコンデンサを含んで構成されることを特徴としている。

【0010】この発明の構成によれば、簡単な回路の組み合わせにより PLL 発振器を実現することができる。また、前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することを特徴としている。

【0011】この発明の構成によれば、外部制御回路を使用することなく、PLL 発振器を実現することができる。また、前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することを特徴としている。

【0012】この発明の構成によれば、外部制御回路を使用することなく、更に簡単な構成の PLL 発振器を実現することができる。また、前記電圧加算器にオペアンプと抵抗による加算増幅器を用いるものにおいて、オペアンプの正入力に入力する基準電圧を可変する構成としたことを特徴としている。

【0013】この発明の構成によれば、電圧制御発振器 (VCO) の周波数偏差による位相誤差を補正すること

ができる。前記第1のPLL回路は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第1の位相比較器と、該第1の位相比較器の出力を平滑化する第1のループフィルタと、該第1のループフィルタの出力と、前記第2のPLL回路からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出力する電圧制御発振器と、該電圧制御発振器の出力を分周して前記第1の比較器の一方の入力に与える分周器とにより構成され、前記第2のPLL回路は、前記電圧制御発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第2の位相比較器と、該第2の位相比較器の出力を平滑化する第2のループフィルタと、該第2のループフィルタ出力を第1の引き込み制御信号（CONT1）によりサンプリングするサンプルホールド回路と、その一方が該サンプルホールド回路の出力又は基準電圧発生回路と接続され、他方が前記電圧加算器の一方の入力に接続され、第2の引き込み制御信号（CONT2）により前記サンプルホールド回路又は基準電圧発生回路のいずれか一方を選択するスイッチとにより構成されることを特徴としている。

【0014】この発明の構成によれば、基準電圧発生回路又はサンプルホールド回路の出力をスイッチにより切り換えて第1のPLL回路100に与える構成とすることにより、位相調整回路を必要とせずに、VCOの周波数偏差による位相誤差を補正することができる。

【0015】この場合において、前記基準電圧を発生する回路として、抵抗による分圧回路を用いたことを特徴としている。この発明の構成によれば、簡単な回路の組み合わせによりPLL発振器を実現することができる。

【0016】また、前記第1及び第2の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することを特徴としている。

【0017】この発明の構成によれば、外部制御回路を使用することなくPLL発振器を実現することができる。また、前記第1及び第2の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することを特徴としている。

【0018】この発明の構成によれば、外部制御回路を使用することなく、更に簡単な構成のPLL発振器を実現することができる。また、前記位相比較器を、第1の入力をそのクロック入力に受けるDタイプフリップフロップと、第2の入力を受けて微分し、該Dタイプフリップフロップのクリア入力に与える微分回路とにより構成することを特徴としている。

【0019】この発明の構成によれば、SRフリップフロップではなくDタイプフリップフロップを用いることによりPLL発振回路を実現することができる。また、

前記電圧加算器を、オペアンプと抵抗を用いた差動増幅器で構成し、該差動増幅器の第1の入力に、第1のループフィルタの出力を、第2の入力に第2のPLL回路の制御出力を接続することを特徴としている。

【0020】この発明の構成によれば、差動増幅器によりPLL発振回路を実現することができる。また、前記電圧加算器を、第1の入力に第1のループフィルタの出力を抵抗を介して、第2の入力に第2のPLL回路の制御出力を抵抗を介して出力側で接続した構成とすることにより特徴としている。

【0021】この発明の構成によれば、抵抗を用いた簡単な電圧加算器によりPLL発振回路を実現することができる。また、前記サンプルホールド回路を、第2のループフィルタの出力を受けてディジタル信号に変換するA/D変換器と、該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより構成することを特徴としている。

【0022】この発明の構成によれば、正確で変動の少ないPLL発振回路を実現することができる。また、前記サンプルホールド回路を、第2のループフィルタの出力を受けてディジタル信号に変換するA/D変換器と、該A/D変換器の出力を第1のコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力又は固定データを受けて何れか一方を第2のコントロール信号によりセレクトするセレクトと、該セレクトの出力をアナログ信号に変換するD/A変換器とにより構成することを特徴としている。

【0023】この発明の構成によれば、正確で変動の少ないPLL発振回路を実現することができる。また、前記位相比較器を、第1の入力をそのクロック入力に受けるDタイプフリップフロップと、第2の入力を受けて微分し、該Dタイプフリップフロップのクリア入力に与える微分回路とにより構成し、前記サンプルホールド回路を、第2のループフィルタの出力を受けてディジタル信号に変換するA/D変換器と、該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより構成することを特徴としている。

【0024】この発明の構成によれば、簡略かつ高精度なPLL発振回路を実現することができる。また、前記サンプルホールド回路を、抵抗とコンデンサによる積分回路と、該積分回路の出力をコントロール信号によりサンプリングするスイッチと、該スイッチによりサンプリングした信号を保持するコンデンサとにより構成することを特徴としている。

【0025】この発明の構成によれば、非常に簡略化したサンプルホールド回路によりPLL発振回路を実現することができる。また、前記第1のループフィルタの出力を切り換える時定数回路を、第1の抵抗と、コント

10

20

30

40

50

ール信号によりオン／オフされるスイッチが直列に接続された第2の抵抗との並列回路と、該並列回路と接続されるコンデンサとで構成することを特徴としている。

【0026】この発明の構成によれば、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0027】また、前記第1のループフィルタの出力を切り換える時定数回路を、第1の抵抗と第2の抵抗の直列回路と、該第2の抵抗の両端をコントロール信号により短絡するスイッチと、前記直列回路と接続されるコン

デンサとで構成することを特徴としている。

【0028】この発明の構成によれば、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0029】また、前記水晶発振器の出力を $1/N$ 分周器を介して第1の位相比較器の一方の入力に入力し、前記電圧制御発振器の出力を $1/M$ 分周器を介して第1の位相比較器の他方の入力に入力し、前記水晶発振器の出力を $1/N'$ 分周器を介して第2の位相比較器の一方の入力に入力し、バースト信号を $1/M'$ 分周器を介して第2の位相比較器の他方の入力に入力する構成とし、 $N' = n \cdot N$ 、

前記電圧加算器の第1のループフィルタ出力を受ける入力抵抗の抵抗値を R_3 、前記サンプルホールド回路の出力を受ける入力抵抗の抵抗値を R_4 とした場合に、 $R_4 = n \cdot R_3$ 、 $M = m \cdot M'$ （但し、 M 、 m 、 N 、 n 、 M' 、 N' は整数）

とすることを特徴としている。

【0030】この発明の構成によれば、入力信号の n/m 倍の基準クロックを用いて、入力信号の m 倍の出力クロック信号を得ることができる。また、回路内に含まれる分周器の分周比を1とすることを特徴としている。

【0031】この発明の構成によれば、分周器を直結することにより、入力信号と基準クロックと出力クロック信号が等しい周波数の時に、分周器を省略した簡単な回路のPLL発振回路を実現することができる。

【0032】また、前記水晶発振器の代わりに温度補償型水晶発振器（TCXO）を用いることを特徴としている。この発明の構成によれば、TCXOを基準にした高い安定度のPLL発振回路を実現することができる。

【0033】更に、前記水晶発振器の代わりに、水晶振動子と抵抗とコンデンサを用いた発振回路を用いることを特徴としている。この発明の構成によれば、水晶振動子による安価な回路によりIC化に適したPLL発振回路を実現することができる。

【0034】

【発明の実施の形態】以下、図面を参照して本発明の実

施の形態例を詳細に説明する。図2は本発明の第1の実施の形態例を示すブロック図である。第1のPLL回路100において、10は水晶発振器、11は該水晶発振器10の出力を $1/N$ に分周する第1の分周器、12は該第1の分周器11の出力と電圧制御発振器の出力との位相比較を行なう第1の位相比較器（PD）、13は該第1の位相比較器12の出力を平滑化する第1のループフィルタ、14は該第1のループフィルタ13の出力と、前記第2のPLL回路200からの基準電圧信号を受ける電圧加算器、15は該電圧加算器14の出力に応じた周波数信号を出力する電圧制御発振器（VCO）、16は該電圧制御発振器15の出力を $1/M$ に分周して前記第1の位相比較器12の一方の入力に与える第2の分周器である。

【0035】第2のPLL回路200において、30は前記水晶発振器10の出力を $1/N'$ に分周する第3の分周器、31は外部より入力されるバースト信号を $1/M'$ に分周する第4の分周器、32は前記第3の分周器30の出力をその一方の入力に受け、前記第4の分周器31の出力を他方の入力に受ける第2の位相比較器（PD）、33は該第2の位相比較器32の出力を平滑化する第2のループフィルタ、34は該第2のループフィルタ33の出力を引き込み制御信号によりサンプリングするサンプルホールド回路である。該サンプルホールド回路34の出力は、第1のPLL回路100の電圧加算器14に基準電圧信号として与えられている。なお、各分周器の分周比を示す N 、 M 、 N' 、 M' は整数である。このように構成された回路の動作を、図3～図12を用いて以下に説明する。

【0036】図3は入力信号（以下バースト信号と呼ぶ）に対するPLL回路の動作と引き込み制御信号の関係を示す図である。バースト信号はヘッダと呼ばれる同期引き込み用の信号と、データ信号からなっているものとする。なお、バースト信号のキャリア周波数は、水晶発振器10の出力の M'/N' 信とほぼ等しい周波数である。PLL回路は、ヘッダの部分でPLLの引き込みを行ない、引き込んだクロックの周波数と位相を保持し、データの部分でそのクロックを用いてデータの識別再生を行なう。引き込み制御信号は、PLL回路の引き込み動作とクロック保持動作を切り換える信号である。

【0037】以下、各ブロックについてその動作を説明する。図4は第1の実施の形態例の第1のPLL回路100のブロック図である。図2と同一のものは、同一の符号を付して示す。水晶発振器10の出力 f_{XL} は第1の分周器11により $1/N$ に分周された後、第1の位相比較器12の+入力端子に信号aとして入力される。第1の位相比較器12の他方の-入力端子には、電圧制御発振器（VCO）15の出力 f_{OUT} を第2の分周器16で $1/M$ に分周した信号bが入力されており、位相比較器12は入力aとbの位相差を電圧に変換して信号cとし

て出力する。

【0038】位相比較器12の出力cは、続くループフィルタ13により平滑化された後、信号VPD1として電圧加算器14の一方の入力端子に入力される。該電圧加算器14の他方の入力端子には、第2のPLL回路200から基準電圧信号VREFが入力されており、該電圧加算器14は、前記2つの入力を加算した電圧信号VCを出力する。VCはVCO15の制御電圧端子に制御電圧信号として入力され、VCO15は入力信号VCの値に比例した周波数の信号をfOUTとして出力する。fOUTは、前記第2の分周器16で1/Mに分周された後、第*

$$f_{OUT} = (M/N) \cdot f_{XL}$$

となっている。VCO15の入力制御電圧VCと出力周波数fOUTの関係を図5に示す。縦軸は出力周波数fOUT、横軸は制御電圧VCである。この時、制御電圧VCはVCXとなっているものとする。一般に、VCO15は周波数偏差を持っているため、制御電圧の中心値VC0では公称周波数(VCOの規格上の中心周波数)からずれた周波数fOUT0となっている。従って、VCO15の公称周波数が(1)式で示されるものであった場合でも、 $f_{OUT0} = (M/N) \cdot f_{XL}$

とはならず、図に示すようにVCXもVC0からずれた電圧となる。

【0041】今、電圧加算器14の基準電圧信号VREF=0、ループフィルタ13の利得=1とすると、位相比較器12の出力cはc=VCXとなっていることになる。位相比較器12についても、入力a、bの位相が完全に一致した時の出力電圧が、中心電圧VC0になるものとする、出力がVCXとなるためには、aとbの位相が図6に示すようにΔTだけずれた状態で安定することになる。

【0042】この時の、位相比較器12の入力位相差とVCO15の制御電圧VCの関係を図7に示す。縦軸は制御電圧VC、横軸は位相φである。位相比較器12は、入力の位相差φが0の時に中心電圧VC0を出力し、 $\phi = (\Delta T/T) \cdot 2\pi$ (RAD)がπの時、即ちΔT=(1/2)・Tの時に最大電圧VCMAX、-πの時、即ちΔT=-(1/2)・Tの時に最小電圧VCminを出力する。図に示したように、VC=VCXの時には、φ=θとなっていることになる。

【0043】以上、詳細に説明したように、第1のPLL回路100では、出力周波数

$$f_{OUT} = (M/N) \cdot f_{XL}$$

となる制御電圧VC=VCXに位相比較器12の出力が一致するように、入力a、bの位相差が制御されることになる。

【0044】ここまでの説明では、基準電圧信号VREF=0として考えてきたが、次にVREFに電圧が印加された場合について考える。便宜的にVREF=0の時にVCX=VC0、ΔT=0でPLL回路が安定しているものとす

* 1の位相比較器12の入力端子に信号bとして入っており、フィードバックループを形成している。

【0039】本回路は、電圧加算器14の部分を除き、一般的なPLL回路であり、位相比較器12の2つの入力信号の周波数が一致するようにフィードバック制御がかかるようになっている。

【0040】ここで、PLLがロックして安定している時の各部の状態について考える。まず、VCO15はその出力fOUTの1/Mが水晶発振器10の出力fXLの1/Nと一致するように制御がかかるので、

(1)

る。図8に示すように、まずVREF=0の状態では位相比較器12の入力aとbの位相は一致しており、制御電圧VC=VCXとなっている。今、時刻t0においてVREFに電圧VXが印加されると、電圧加算器14によりループフィルタ13の出力VPD1と基準電圧信号VREFが加算され、その出力VC=VCX+VXとなる。

【0045】すると、VCO15の制御信号が高くなり出力周波数が高くなる。そこで、入力bの位相が進む。この結果、位相比較電圧VPD1は低くなり始める(引き込み過程)。VPD1とVREFとが電圧加算器14により加算されてVCO15の制御電圧VCとなるため、VCもVCX+VXから徐々に減少する。入力bの位相が更に進み、VPD1=VCX-VXとなると、VC=VCXとなり、その結果VCO15の周波数が当初の値と同じになり、aとbの周波数が一致するため、その時刻t1(図8)にてPLL回路は再度ロック状態になり安定する。この時の、aとbの位相差をθXとすると、本PLL回路は基準電圧信号VREFにVXを印加することにより、bの位相差をθX進める動作をすることになる。

【0046】図9は基準電圧信号と位相の関係を示す図である。縦軸が位相(θ)、横軸が基準電圧信号VREFである。基準電圧信号VREFを大きくすると、それだけ位相θも進むことになる。

【0047】一般に、CR発振器等を用いた電圧制御発振器(VCO)の場合には、出力周波数可変幅は数10%以上あり、位相を最大π(180°)ずらす時でも、数クロック以内で同期可能であり、基準電圧信号VREFを少しずつ変動させた場合には、それに追従して位相を変化させることができる。また、その時でも出力信号の周波数fOUTは、水晶発振器10の周波数のM/Nに一致した状態を保っている。従って、本PLL回路を使用すれば、水晶発振器の周波数安定度を保ったまま、基準電圧信号VREFにより出力クロック信号の位相のみ自由に制御できることになる。

【0048】図10は第1の実施の形態例の第2のPLL回路200のブロック図である。図2と同一のものは、同一の符号を付して示す。図において、10は第1のPLL回路100内の水晶発振器、30は該水晶発振

器10の出力を $1/N'$ に分周する分周器(第3の分周器)、31はバースト信号を $1/M'$ に分周する分周器(第4の分周器)、32は $1/N'$ 分周器30と $1/M'$ 分周器31の出力を受けてこれら入力信号の位相を比較し、位相差に応じた電圧信号を出力する第2の位相比較器、33は該位相比較器32の出力を平滑化するループフィルタ、34は該ループフィルタ33の出力を外部からの引き込み制御信号によりサンプリングするサンプルホールド回路である。このように構成された回路の動作を説明すれば、以下の通りである。

【0049】図11は第2のPLL回路の動作を示すタイムチャートである。水晶発振器10の出力 f_{XL} は、第3の分周器30で $1/N'$ に分周されてe信号となり、第2の位相比較器32の一方の入力端子に入る。一方、バースト信号は、第4の分周器31で $1/M'$ に分周されてd信号となり、第2の位相比較器32の他方の入力端子に入る。該位相比較器32は、入力信号eとdの位相差を電圧信号に変換し、第2のループフィルタ33により平滑化される。このループフィルタ33の出力VPD2はサンプルホールド回路34に入力される。該サンプルホールド回路34は、引き込み制御信号により制御され、図11に示すようにバースト信号のヘッダが入力されている区間に電圧のサンプリングを行ない、ヘッダ期間が終了すると、電圧VPD2をホールドする。従って、この第2のPLL回路は、入力eとdの位相差を電圧信号に変換し、保持することができる。

【0050】図12は第1のPLL回路100と第2のPLL回路200を接続した時の、即ち第1の実施の形態例の動作を示すタイムチャートである。ここでは、前記分周比を便宜上 $M=M'$ 、 $N=N'$ としている。従って、第3の分周器30の出力は、eの代わりにaとなる。バースト信号が入力される時点T0以前は、第1の位相比較器12の入力aとbの位相は図に示すように一致している。時刻T0にてバースト信号が入力されると、第2のPLL回路200が動作し、サンプルホールド回路34から出力される基準電圧信号VREFにaとdの位相差 ϕ_X に対応する電圧 ΔV_X が発生し保持される。

【0051】第1のPLL回路100では、基準電圧信号VREFに ΔV_X が印加されることにより、前述した過程を経て ΔV_X に対応する位相差 ϕ_X' だけbの位相が進む。ここで、若し第1の位相比較器12と第2の位相比較器32の変換利得($\Delta V/\Delta \phi$)が等しいものとすると、 $\phi_X = \phi_X'$ となり、bとdの位相は一致することになる。

【0052】以上説明したように、第1の実施の形態例によれば、第1のPLL回路100の電圧制御発振器15の出力周波数を水晶発振器10に同期させると共に、外部から入力されるバースト信号に対して第2のPLL*

$$VPD = V_{OL} + (V_{OH} - V_{OL}) \cdot (\text{デューティ})$$

*回路200により位相を高速に同期し保持するように構成することにより、水晶発振器の安定度で且つ高速の引き込みを可能とするPLL発振回路を実現することができる。

【0053】図13は第1の実施の形態例の具体的構成例を示す回路図である。図2と同一のものは、同一の符号を付して示す。この実施の形態例では、4個の分周器の分周比を $M=M'$ 、 $N=N'$ とした結果、第3の分周器30を第1の分周器11で兼ねている。従って、第1の分周器11の出力をそのまま第2の位相比較器32の一方の入力端子に入力している。図2で第4の分周器31として説明した分周器は、第3の分周器となっている。以後、第1の分周器11をカウンタ1、第2の分周器16をカウンタ2、第3の分周器31をカウンタ3と呼ぶことにする。

【0054】この実施の形態例では、第1及び第2の位相比較器12、32をSRフリップフロップで構成し、第1及び第2のループフィルタ13、33をコンデンサCと抵抗RによるCRフィルタで構成し、電圧加算器14をオペアンプで構成し、サンプルホールド回路34を、オペアンプとアナログスイッチとコンデンサを含んで構成している。このような構成とすることにより、簡単な回路の組み合わせによりPLL発振器を実現することができる。

【0055】第1の位相比較器12(位相比較器1)、第2の位相比較器32(位相比較器2)の機能を図14、図15を用いて説明する。(a)に示すように2個のANDゲートG1、G2とSRフリップフロップとで構成されている。ANDゲートG1の入力をIN1、ANDゲートG2の入力をIN2、SRフリップフロップの出力をQ、 $\ast Q$ (以下反転論理を \ast で示す)とすると、その真理値表は(b)に示すようなものとなる。本回路では、出力を入力側にフィードバックしているため、全体としては(c)に示すように、入力IN1、IN2の立ち上がりエッジで出力がトリガされる特性となる。つまり、セット入力Sの立ち上がりでQ出力が“1”になり、リセット入力Rの立ち上がりで $\ast Q$ 出力が“1”になる。

【0056】位相比較器としての動作を(d)に示す。出力QはIN1の立ち上がりで“1”にトリガされ、IN2の立ち上がりで“0”にトリガされる。従って、出力Qのデューティ(DUTY)は、IN1とIN2の立ち上がりの位相差により変化し、IN2が 180° (π RAD)遅れている時、デューティ=50%となり、遅れが 180° よりも小さい時(位相が進んでいる時)はデューティ<50%、 180° よりも大きい時(位相が遅れている時)はデューティ>50%となる。

【0057】ここで、Qの“1”レベルをV_{OH}、“0”レベルをV_{OL}とすると、Qの平均値電圧は

$$(2)$$

となり、デューティ(=位相差)に比例することになる。この関係を(e)に示す。また、反転出力※Qは(f)に示すような特性となる。この位相比較器は、位相差が π (180°)の時の出力電圧(VOH+VOL)/2を中心値電圧として位相が0から 2π にまで変動した時にVOLからVOHまで出力が変化する位相比較器となる。なお、図13のように入力に1/Mの分周器31が入った場合、分周器の入力側で見た場合、図16に示すように位相はM倍となる。

【0058】図13に戻り、第1及び第2のループフィルタ13、33としては、ローパスフィルタを用いている。第1のループフィルタ13は、抵抗R1とコンデンサC1の組み合わせにより、第2のループフィルタ33は抵抗R2とコンデンサC2の組み合わせによりRCフィルタ(ローパスフィルタ)を構成している。これらローパスフィルタ13、33は、それぞれ前記位相比較器12、32の出力信号の平均値電圧を抽出する働きをする。ここで、ローパスフィルタの時定数 τ (=R・C)が大きいとPLLの引き込み時間が遅くなるため、必要*

$$V_c = - \left(\frac{V_{PD1}}{R_3} + \frac{V_{REF1}}{R_4} \right) \cdot R_5 + 1 + \left\{ \frac{R_5 \cdot (R_3 + R_4)}{R_3 \cdot R_4} \right\} \cdot V_{REF2} \quad (3)$$

【0061】ここで、 $R_3 = R_4 = 2 \cdot R_5$ とすると、※ ※(3)式は簡単になり次式で表される。

$$V_c = - \{ (V_{PD1} + V_{REF1}) / 2 \} + 2 \cdot V_{REF2} \quad (4)$$

従って、V_{PD1}、V_{REF1}の値が前記位相比較器12の中心電圧(VOH+VOL)/2の時に制御電圧V_cがVCO15の中心値電圧となるようにV_{REF2}の値を選ぶことにより、前記位相差が180°の時にPLLのロックがかかるようにすることができる。なお、電圧加算器14が反転増幅器であるので、第1の位相比較器12は反転出力※Qから出力をとり、第2の位相比較器32は非反転出力Qからとる構成としている。

【0062】次に、サンプルホールド回路34について説明する。該サンプルホールド回路34は、オペアンプ2と、該オペアンプ2と接続されるオン/オフスイッチSW1と、サンプリングした電圧を保持するコンデンサC3と、該コンデンサC3の保持電圧を出力するバッファとして機能するオペアンプ3より構成されている。オペアンプ3の出力はオペアンプ2の入力端子にフィードバックされている。このように構成された回路において、スイッチSW1が閉じた時に入力電圧をコンデンサC3に充電し、スイッチSW1が開いた時にはそのまま電圧を保持する回路である。ここで、コンデンサC3による電圧保持時間はコンデンサC3とオペアンプ3の入力抵抗R_{IN}として時定数 $\tau = C_3 \cdot R_{IN}$ で与えられるが、この値は前記バースト信号の入力データの時間(期間)よりも長くとる必要がある。

【0063】このようにして、VCO15の出力を水晶発振器10の周波数f_{XL}のM/Nにロックしたまま、バースト信号が入力された時に高速で位相を一致させ保持する発振回路を実現することができる。

* な引き込み時間よりも τ が短くなるように抵抗RとコンデンサCの値を選ぶ必要がある。

【0059】次に、電圧加算器14の動作について説明する。オペアンプ1は加算増幅器として機能している。R3は第1のループフィルタ13の出力を受ける入力抵抗、R4はサンプルホールド回路34の出力である基準電圧信号の入力抵抗であり、これらはオペアンプ1の入力端子に接続されている。R5はオペアンプ1の入出力間に接続される帰還抵抗である。オペアンプ1の+入力には、基準電圧V_{REF2}が入っている。この基準電圧V_{REF2}は、電源電圧V_{cc}を抵抗R7とR8による分圧回路で分圧したものであり、抵抗R6を介してオペアンプ1の+入力に入っている。第1のループフィルタ13の出力をV_{PD1}、基準電圧信号をV_{REF1}とし、各抵抗の値としてその識別符号をそのまま用いるものとする、電圧加算器14の出力V_cは次式で表される。

【0060】

【数1】

【0064】上述の実施の形態例では、引き込み制御信号は外部から与えられるものとして扱ってきたが、バースト信号から内部的に作成することもできる。図17は制御信号発生回路の一実施の構成例を示す図である。該制御信号発生回路は、N進カウンタ35、M進カウンタ36、SRフリップフロップ37及びゲートG10~G13及びインバータG14より構成されている。バースト信号は、ゲートG10及びG12の一方の入力に入り、基準クロック(水晶発振器又はVCO出力を用いる)はM進カウンタ36のクロック入力端子に入っている。ゲートG12の出力はN進カウンタ35のクロック入力端子に入り、該ゲートG12の他方の入力には、N進カウンタ35のQ出力をインバータG14により反転した信号が入っている。

【0065】SRフリップフロップ37のゲートG10の他方の入力にはその※Q出力がフィードバックされ、ゲートG11の一方の入力にはそのQ出力がフィードバックされている。フリップフロップ37のQ出力はM進カウンタ36のイネーブル入力端子とN進カウンタ35のイネーブル入力端子とゲートG13の一方の入力に入っている。ゲートG13の他方の入力にはインバータG14の出力が入っている。M進カウンタ36のQ出力は自己のリセット入力端子、ゲートG11の他方の入力及びN進カウンタ35のリセット入力端子に入っている。そして、ゲートG13から引き込み制御信号が出力される構成となっている。

【0066】図18はこの回路の動作を示すタイムチャ

ートである。フリップフロップ 37 は、バースト信号が入力されると、出力 Q を “1” にセットし、N 進カウンタ 35 と M 進カウンタ 36 とをイネーブル状態にする。N 進カウンタ 35 は、バースト信号のヘッダの N ビットをカウントし、カウント後出力 h が “1” になることにより、インバータ G 14 で反転された “0” がゲート G 12 を閉じ、クロック入力をオフにし、その状態を維持する。

【0067】M 進カウンタ 36 は、イネーブルがオンになると、基準クロック（水晶発振器又は VCO の出力）を M ビット分カウントし、カウント後出力 j が “1” になることにより、2 つのカウンタ 35、36 とフリップフロップ 37 をリセットし、次の入力に備える。図 18 のタイムチャートより明らかなように、引き込み制御信号 g は、バースト入力と同時に “1” になり、ヘッダ部の期間 “1” を保持し、ヘッダ部が終わると、“0” になることになる。ここで、フリップフロップ 37 の Q 出力 i の M ビットの長さはデータの長さより長く、次のバースト信号が来る時間よりは短く設定されている。

【0068】この制御信号発生回路によれば、外部制御回路を使用することなく、PLL 発振器を実現することができる。図 17 の制御信号発生回路では、バースト信号の入力と同時に制御信号 g が立ち上がっていたが、これをバースト信号の待ち受け時からオン（“1”）にしておくことにより回路を簡略化できる。図 19 は制御信号発生回路の他の実施の構成例を示す図である。図 17 と同一のものは、同一の符号を付して示す。図 17 の回路との相違は、アンドゲート G 13 が省略され、インバータ G 14 の出力から引き込み制御信号 g が取り出されていることである。その他の構成は、図 17 と同じである。

【0069】図 20 はこの回路の動作を示すタイムチャートである。N 進カウンタ 35 はその前のバースト入力時におけるリセット信号により “0” になっている。そこで、引き込み制御信号を N 進カウンタ 35 の出力 h のインバータ G 14 による反転信号から取り出すことにより、引き込み制御信号 g は、バースト信号待ち受け時より “1” になり、ヘッダ部の期間 “1” を保持し、ヘッダ部が終わると “0” となる。なお、この場合でも、引き込み制御信号が “0” の区間、即ち PLL でのクロック保持期間は完全に保証されているため、実用上問題はない。

【0070】この制御信号発生回路によれば、外部制御回路を使用することなく、更に簡単な構成の PLL 発振器を実現することができる。図 2 に示す第 1 の実施の形態例では、VCO 15 の周波数偏差が無視できる場合を例にとったが、実際には VCO 15 は周波数偏差を持っており、その結果、前述したように出力に位相誤差 Δt を発生してしまう。図 21 はこれを補正する電圧加算器 14 の具体的構成例を示す図である。図 13 と同一のも

のは、同一の符号を付して示す。この回路は、図 13 におけるオペアンプ 1 の + 入力端子に入力する基準電圧 V_{REF2} を可変抵抗 R_{V1} により可変するようにしたものである。

【0071】この回路は、電圧加算器 14 の + 側入力 V_{REF2} を、可変抵抗 R_{V1} により可変することにより、制御信号 VC が（4）式で表わされるものとして、制御信号 VC を変化させ、出力位相の調整を行なうことができる。

【0072】この電圧加算器によれば、電圧制御発振器（VCO）の周波数偏差による位相誤差を補正することができる。図 21 に示す実施の形態例では、位相誤差を調整により補正する方法を示したが、回路方式により位相誤差を防ぐことができる。図 22 は本発明の第 2 の実施の形態例を示すブロック図である。図 2 と同一のものは、同一の符号を付して示す。第 1 の実施の形態例との相違点は、第 2 の PLL 回路 200 の入力的一方を、水晶発振器 10 からではなく、VCO 15 の出力からとっている点と、サンプルホールド回路 34 の出力にスイッチ SW2 を設け、第 2 の引き込み制御信号 2 により基準電圧と切り換えるようになっている点である。

【0073】図において、38 は VCO 15 の出力を $1/M'$ に分周する第 3 の分周器、39 は基準電圧を発生する基準電圧発生回路、SW2 はサンプルホールド回路 34 の出力又は基準電圧発生回路 39 の出力の何れか一方を選択するスイッチである。サンプルホールド回路 34 に与える引き込み制御信号を第 1 の引き込み制御信号とし、スイッチ SW2 に与える引き込み制御信号を第 2 の引き込み制御信号とする。このように構成された回路の動作を説明すれば、以下の通りである。

【0074】基準電圧発生回路 39 の出力である V_{REF3} は、予め第 2 の位相比較器 32 の入力位相差が 0 の時の位相比較電圧と等しくしておく。ここで、スイッチ SW2 を設けている理由は、スイッチ SW2 がなかった場合、第 2 の位相比較器 32 で位相差を検出している間に基準電圧信号 V_{REF1} がその位相差に対応して変動し、VCO 15 の位相が動くため、位相を一致させることができなくなるためである。そこで、バースト信号が入り第 2 の位相比較器 32 が位相差を検出し、サンプルホールド回路 34 が位相差に相当する電圧を保持するまでの間、スイッチ SW2 を基準電圧発生回路 39 側に接続し、サンプルホールド回路 34 が電圧を保持した後で、スイッチ SW2 をサンプルホールド回路 34 側に接続するようにしているものである。

【0075】ここで、スイッチ SW2 がサンプルホールド回路 34 側に接続された後、第 2 の PLL 回路 200 が位相同期するまでに若干の時間が必要なため、引き込み制御信号 1、引き込み制御信号 2 は図 23 のタイムチャートに示すようにバースト信号のヘッダ部の途中で切り換わるようにする必要がある。図の A の期間が、第 2

の位相比較器 32 が位相差を検出するまでの区間で、B の期間が第 1 の PLL 回路 100 が位相同期するまでの区間である。

【0076】この回路構成では、予め第 2 の位相比較器 32 の入力位相差が 0 の時の位相比較電圧と等しい電圧 V_{REF3} に設定してあるため、第 2 の位相比較器 32 の入力に位相差 ϕ_0 があると、それに対応した電圧 $V_{REF3} + \Delta V_0$ が発生し、第 1 の PLL 回路 100 では、電圧増加分 ΔV_0 に相当するだけ位相が動くことになる。ここで、第 1 の位相比較器 12 と第 2 の位相比較器 32 の感度が等しく、ループフィルタ等のゲインが等しく、分周比 $M = M'$ となっていれば、 ΔV_0 により変動する位相差 ϕ_0' は $\phi_0' = \phi_0$ となり、VCO15 の偏差によらず位相を一致させることができる。

【0077】この発明の構成によれば、基準電圧発生回路 39 又はサンプルホールド回路 34 の出力をスイッチ SW2 により切り換えて第 1 の PLL 回路 100 に与える構成とすることにより、位相調整回路を必要とせず、VCO15 の周波数偏差による位相誤差を補正することができる。

【0078】図 24 は第 2 の実施の形態例の具体的構成例を示す回路図である。図 13、図 22 と同一のものは、同一の符号を付して示す。第 2 の位相比較器 32 の一方の入力には、水晶発振器 10 ではなく $1/M$ 分周器 16 の出力が入り、他方の入力には、バースト信号を分周する $1/M$ 分周器 31 の出力が入っている。そして、サンプルホールド回路 34 のスイッチ SW1 は、第 1 の引き込み制御信号によりオン/オフ制御され、スイッチ SW2 は第 2 の引き込み制御信号により切り換え制御される。この実施例では、基準電圧発生回路 39 として、電源電圧 V_{cc} と VEE 間に接続された抵抗 R9 と R10 の直列回路が用いられ、基準電圧 V_{REF3} は、抵抗 R9 と抵抗 R10 の接続点から取り出している。

【0079】この実施の形態例によれば、基準電圧発生回路 39 として抵抗による分圧回路を用いることにより、簡単な回路の組み合わせにより PLL 発振回路を実現することができる。

【0080】図 22 に示す第 2 の実施の形態例では、第 1 及び第 2 の引き込み制御信号は外部から与えられる場合を例にとったが、バースト信号から作成することもできる。図 25 は制御信号発生回路の一実施の構成例を示す図である。この回路は、基本的には図 17 に示す回路と同じであり、N 進カウンタ 35 の Q 出力を第 2 の引き込み制御信号として利用するようにしたものである。第 1 の引き込み制御信号は、図 17 の場合と同様にゲート G13 から取り出す。この回路のタイムチャートを図 26 に示す。このタイムチャートは、図 18 と似ているが、スイッチ SW2 をバースト信号のヘッダ部の途中で切り換えるようにしている点が異なる。

【0081】この実施の形態例によれば、外部制御回路

を使用することなく PLL 発振器を実現することができる。図 25 の実施の形態例では、第 1 の引き込み制御信号は、バースト信号の入力と同時に立ち上がっている場合を示したが、これをバースト信号の待ち受け時から立ち上がるようにしておくことにより回路を簡略化することができる。図 27 は制御信号発生回路の他の具体的構成例を示す図である。この回路は、図 19 に示す回路と基本的に同じ回路である。N 進カウンタ 35 の Q 出力を第 2 の引き込み制御信号として利用するようにしたものである。第 1 の引き込み制御信号は、図 19 の場合と同様にインバータ G14 から取り出す。この回路のタイムチャートを図 28 に示す。このタイムチャートは、図 20 と似ているが、スイッチ SW2 をバースト信号のヘッダ部の途中で切り換えるようにしている点が異なる。

【0082】この実施の形態例によれば、外部制御回路を使用することなく、更に簡単な構成の PLL 発振器を実現することができる。図 29 は位相比較器の他の具体的構成例を示す回路図である。この回路は、位相比較器を D タイプフリップフロップ 40 と微分回路 41 とで構成したものである。入力 1 はフリップフロップ 40 のクロック入力端子に入り、入力 2 は微分回路 41 を経てフリップフロップ 40 のクリア入力端子に入っている。フリップフロップ 40 の Q 端子から出力信号が取り出され、※Q 出力は D 入力端子にフィードバックされている。微分回路 41 は、ゲート G15、インバータ G16 及びディレイ回路 41a とで構成されている。入力 2 はゲート G15 の一方の入力とディレイ回路 41a に入り、ディレイ回路 41a の出力はインバータ G16 で反転された後、ゲート G15 の他方の入力に入っている。

【0083】この回路の動作タイムチャートを図 30 に示す。図 30 に示すように入力 1 (CLK) の立ち上がりでフリップフロップ 40 の Q 出力が“1”になり、入力 2 の微分信号をクリア信号 (CLR) としてフリップフロップ 40 はリセットされ、Q 出力が“0”になる動作を繰り返す。全体として、入力 1 と入力 2 の位相差が 180° の時に Q 出力のデューティが 50% となり、図 14 に示す SR フリップフロップを用いた場合と同様な動作をすることになる。また、この回路には、SR フリップフロップにはない特徴として、入力 2 が無信号の場合にも Q 出力が反転動作を繰り返し、デューティ 50% の信号を出力することができる。

【0084】図 31 はディレイ回路の具体的構成例を示す図である。(a) は、入力を抵抗 R とコンデンサ C によりディレイさせた信号をインバータ G17 により波形成形したものと、元の入力とをゲート G18 で論理積をとるようにしたものである。(b) は、入力を $2n+1$ 個のインバータ G19 を直列接続して、各ゲート間の遅れを積み重ねて遅らせたものと、元の入力とをゲート G18 で論理積をとるようにしたものである。

【0085】この実施の形態例によれば、SR フリップ

フロップではなく、Dタイプフリップフロップを用いることによりPLL発振回路を実現することができる。図32は電圧加算器14の他の構成例を示す図で、前述の加算増幅器ではなく、差動増幅器で実現したものである。オペアンプ1の－入力端子には入力抵抗R3を介してループフィルタ13の出力VPD1が入力され、オペアンプ1の＋入力端子には基準電圧信号VREF1が抵抗R4*

$$VC = \{ (VREF1 - VPD1) \cdot R5 / R3 \} + VREF2 \quad (5)$$

となる。なお、この場合にVREF1とVPD1の極性が逆になることから、第2の位相比較器32の出力を※QではなくQからとる必要がある。

【0087】この実施の形態例によれば、差動増幅器によりPLL発振回路を実現することができる。図33は電圧加算器の他の構成例を示す図である。この回路は、電圧加算器を受動素子のみで構成し、回路を簡略化した※

$$VC = (R4 \cdot VPD1 + R3 \cdot VREF1) / (R3 + R4) \quad (6)$$

ここで、 $R3 = R4$ となるように抵抗値を選ぶと(6)式は以下のように簡略化される。

$$VC = (VPD1 + VREF1) / 2$$

この実施の形態例によれば、抵抗を用いた簡単な電圧加算器によりPLL発振回路を実現することができる。

【0090】図34はサンプルホールド回路34の他の構成例を示す図である。この実施の形態例は図2に示す第1の実施の形態例に用いるものであり、スイッチを用いてコンデンサに電圧を保持させる方式ではなく、第2のループフィルタ33の出力VPD2を受けてデジタル信号に変換するA/D変換器45と、該A/D変換器45の出力を引き込み制御信号(CONT)によりラッチするラッチ回路46と、該ラッチ回路46の出力をアナログ信号に変換するD/A変換器47とにより構成して

【0091】第2のループフィルタ33の出力VPD2は、A/D変換器45によりデジタル信号に変換された後、ラッチ回路46に保持される。次に、このラッチ回路46の出力は、D/A変換器47によりアナログ電圧信号に変換され、基準電圧信号VREF1として出力される。この回路の特徴は、ループフィルタ33の出力をラッチ回路46により永久に保持できるという点である。

【0092】この実施の形態例によれば、正確で変動の少ないPLL発振回路を実現することができる。図35はサンプルホールド回路34の他の構成例を示す図である。図34と同一のものは、同一の符号を付して示す。この実施の形態例は、図22に示す基準電圧発生回路39の代わりにメモリ48に固定データとして記憶させるようにしたもので、図22に示す第2の実施の形態例に用いるものである。メモリ48に記憶される固定データは、第2の位相比較器32の入力位相差が0の時の位相比較電圧に等しい電圧値をデジタルデータとして記憶している。49はラッチ回路46の出力又はメモリ48の出力の何れかをセレクトするセクタである。ラッチ

*とR6により分圧されたものが入っている。オペアンプ1の－入力端子と出力端子間には帰還抵抗R5が接続されている。このように構成された回路において、 $R3 = R4$ 、 $R5 = R6$ となるように各抵抗値を選び、これら抵抗値の値として識別符号をそのまま用いるものとする、出力VCは次式で表される。

【0086】

※ものである。即ち、この回路では、抵抗分圧器により実現している。ループフィルタ13の出力VPD1と、基準電圧信号VREF1とがそれぞれ抵抗R3とR4を介して接続されており、この接続点の電圧を抵抗R5を介してVCO15に制御信号VCとして入力する構成としている。この時の制御信号VCは次式で表わされる。

【0088】

★【0089】

(7)

回路46は第1の引き込み制御信号によりラッチされ、セクタ49は第2の引き込み制御信号により制御される。

【0093】この実施の形態例によれば、正確で変動の少ないPLL発振回路を実現することができる。図36は第2の実施の形態例の要部の他の構成例を示すブロック図であり、図34に示すサンプルホールド回路と、図29に示す位相比較器を組み合わせ、図24に示す第2の実施の形態例を簡略化かつ高精度化する回路である。図34及び図29と同一のものは、同一の符号を付して示す。図24に示す回路では、基準電圧発生回路39とスイッチSW2とが必要であったが、ここでは入力2が無信号の時にDタイプフリップフロップ40がデューティ50%の出力となることを利用して、その時の電圧をサンプルホールド回路34により保持することにより、基準電圧発生回路39の出力VREF3とするものである。

【0094】図37に引き込み制御信号の発生タイミング例を示す。引き込み制御信号(CONT)は、図37に示すタイミングで与えるものとする。この引き込み制御信号は、図27のg信号の立ち上がり微分した信号kと、j信号とオアをとることにより実現することができる。この回路では、先ずバースト信号がない状態で、第2の位相比較器32はデューティ50%の波形、即ち入力1と入力2の位相差が 180° の時と同じ平均値電圧を持つ波形を出力する(但し周期は $1/2$)。

【0095】サンプルホールド回路34は、図37のjのタイミングで、この時の電圧(VREF3)をラッチ回路46でラッチし、保持する。次に、バースト信号が印加されると、第2の位相比較器32は入力1と入力2の位相差に比例する平均値電圧を出力する。サンプルホールド

ド回路34は、図のKのタイミングでこの時の電圧(=VREF3+ΔV)をラッチ回路46でラッチし、保持する。このような動作により、図24と同じ機能の回路を実現することができる。この実施の形態例では基準電圧VREF3としてDタイプフリップフロップ40がデューティ50%の時の電圧を利用していることから、基準電圧が不要でかつ簡略かつ高精度の回路を実現することができる。

【0096】図38はサンプルホールド回路の他の構成例を示す図で、簡略化した回路である。この実施の形態例は、図13のサンプルホールド回路をスイッチSW1とコンデンサC3のみで構成したものである。オペアンプを用いていない受動素子のみの回路であることから、コンデンサC3の電圧保持特性が短く、精度も悪いことから、高速であり精度のいらない回路に適している。

【0097】この実施の形態例によれば、非常に簡略化したサンプルホールド回路によりPLL発振回路を実現することができる。図39はループフィルタの時定数切り換え回路の一例を示す図である。図において、第1の位相比較器12の出力(PD1)は、抵抗R1とR101の並列回路に入力される。抵抗R101には直列にスイッチSW3が接続されており、このスイッチSW3は制御信号(CONT3)によりオン/オフ制御されるようになっている。例えば、スイッチSW3がオンの時には、抵抗はR1とR101の並列となり、抵抗値が下がる。これに対して、スイッチSW3がオフの時には、抵抗はR1のみとなり抵抗値が上がる。これにより、抵抗とコンデンサC1による時定数を切り換えることができる。

【0098】一般にループフィルタのカットオフ周波数は、高い程引き込み時間が短くなる反面、VCOの出力ジッタが増えたり、ノイズに弱くなる傾向がある。そこで、図39に示すように、スイッチSW3を設けて、フィルタの時定数を変え、カットオフ周波数を切り換えることにより、PLL引き込み時にはカットオフ周波数の高い高速の引き込みを行ない、PLLロック後はカットオフ周波数の低いジッタの少ない安定な動作を行なうことができるようになる。

【0099】図40は制御信号(CONT3)の動作の一例を示すタイムチャート、図41はフィルタのカットオフ特性例を示す図である。このようなローパスフィルタは、時定数τ(RC)が大きい程、通過帯域が狭まる特性を持つ。そこで、PLL引き込み時にはスイッチSW3をオンにして時定数を小さくして、カットオフ周波数の高い(fC1)高速の引き込みを行ない、PLLロック時にはスイッチSW3をオフにして時定数を大きくし、カットオフ周波数の低い(fC2)ジッタの少ない安定な動作を行なっている。

【0100】この実施の形態例によれば、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジ

ッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0101】図42はループフィルタの時定数切り換え回路の他の例を示す図である。図において、第1の位相比較器12の出力(PD1)は、抵抗R1とR101の直列回路に入力される。抵抗R101には並列にスイッチSW3が接続されており、このスイッチSW3は制御信号(CONT3)によりオン/オフ制御されるようになっている。例えば、スイッチSW3がオンの時には、抵抗はR101は短絡され、抵抗値が下がる。これに対して、スイッチSW3がオフの時には、抵抗値はR1とR101の和となり抵抗値が上がる。これにより、抵抗とコンデンサC1による時定数を切り換えることができる。

【0102】この実施の形態例によれば、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0103】ここまでの実施の形態例では、第1のPLL回路100と第2のPLL回路200の分周器の分周比が等しい場合を例にとったが、異なった分周比で実現することもできる。図43は本発明の第3の実施の形態例の具体的構成例を示す回路図である。図13と同一のものは、同一の符号を付して示す。この実施の形態例は、水晶発振器10の出力を1/N分周器11で1/N分周して第1の位相比較器12の一方の入力端子に入力し、前記電圧制御発振器15の出力を1/M分周器16で1/M分周して第1の位相比較器12の他方の入力端子に入力し、前記水晶発振器10の出力を1/N'分周器31Aで1/N'分周して第2の位相比較器32の一方の入力端子に入力し、バースト信号を1/M'分周器31で1/M'分周して第2の位相比較器32の他方の入力端子に入力する構成とし、

$$N' = n \cdot N,$$

前記電圧加算器14の第1のループフィルタ13の出力を受ける入力抵抗の抵抗値をR3、前記サンプルホールド回路34の出力を受ける入力抵抗の抵抗値をR4とした場合に、 $R4 = n \cdot R3$ 、

$$M = m \cdot M' \quad (\text{但し、} M, m, N, n, M', N' \text{ は整数})$$

とすることを特徴としている。

【0104】 $N' = n \cdot N$ ($n = 2, 3, 4, \dots$) とし、 $R4 = n \cdot R3$ となるように抵抗値を選ぶことにより、図13に示す実施の形態例と同様の動作を行なうことができる。

【0105】また、 $M = m \cdot M'$ とすることにより、バースト信号のm倍の出力クロックを得ることができる。この実施の形態例によれば、入力信号のn/m倍の基準クロックを用いて、入力信号のm倍の出力クロック信号を得ることができる。

【0106】上述の実施の形態例（図13、図24、図43）においては、それぞれの分周器の分周比を所定の値に設定している場合について説明した。ここで、それぞれの分周器の分周比を1、即ち入力と出力を直結する構成とすることもできる。

【0107】この実施の形態例によれば、分周器を直結することにより、入力信号と基準クロックと出力クロック信号が等しい周波数の時に、分周器を省略した簡単な回路のPLL発振回路を実現することができる。

【0108】また、上述の実施の形態例（図13、図24、図43）において、水晶発振器10の代わりに、図44に示すような温度補償型水晶発振器（TCXO）を用いることができる。この実施の形態例によれば、TCXOを基準にした高い安定度のPLL発振回路を実現することができる。

【0109】次に、上述の実施の形態例（図13、図24、図43）において、水晶発振器を使用せず、図45に示すような水晶振動子を直接回路に接続し、回路内で発振回路を構成することができる。図において、Xは水晶振動子、G20はこの振動子Xの両端に接続されたインバータ、R20は該インバータG20と並列接続された抵抗、C20、C21は水晶振動子Xの両端からそれぞれコモンラインに接続されたコンデンサである。インバータG20の出力を、インバータG21で反転したものを基準クロックとして用いている。

【0110】この実施の形態例によれば、水晶振動子による安価な回路によりIC化に適したPLL発振回路を実現することができる。

【0111】

【発明の効果】以上、詳細に説明したように、本発明によれば、水晶発振器と電圧制御発振器を含む第1のPLL回路と、該第1のPLL回路と接続され、バースト信号及び引き込み制御信号を受けて、前記第1のPLL回路に基準電圧信号を与える第2のPLL回路よりなり、前記第1のPLL回路の電圧制御発振器の周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第2のPLL回路により位相を高速に同期し保持するように構成することにより、前記第1のPLL回路の電圧制御発振器の周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第2のPLL回路により位相を高速に同期し保持するように構成されることにより、高速引き込みを可能とすることができる。

【0112】この場合において、前記第1のPLL回路は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第1の位相比較器（PD1）と、該第1の位相比較器の出力を平滑化する第1のループフィルタと、該第1のループフィルタの出力と、前記第2のPLL回路からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出

力する電圧制御発振器（VCO）と、該電圧制御発振器の出力を分周して前記第1の比較器の一方の入力に与える分周器とにより構成され、前記第2のPLL回路は、前記水晶発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第2の位相比較器（PD2）と、該第2の位相比較器の出力を平滑化する第2のループフィルタと、該第2のループフィルタ出力を引き込み制御信号（CONT）によりサンプリングするサンプルホールド回路とにより構成されることにより、前記第1のPLL回路の電圧制御発振器の出力周波数を水晶発振器に同期させると共に、外部から入力されるバースト信号に対して第2のPLL回路により位相を高速に同期し保持するように構成することにより、水晶発振器の安定度で且つ高速の引き込みを可能とするPLL発振回路を実現することができる。

【0113】また、前記第1及び第2の位相比較器はSRフリップフロップにより構成され、前記第1及び第2のループフィルタはCRローパスフィルタにより構成され、前記電圧加算器はオペアンプにより構成され、前記サンプルホールド回路はオペアンプとアナログスイッチとコンデンサを含んで構成されることにより、簡単な回路の組み合わせによりPLL発振器を実現することができる。

【0114】また、前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することにより、外部制御回路を使用することなく、PLL発振器を実現することができる。

【0115】また、前記引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することにより、外部制御回路を使用することなく、更に簡単な構成のPLL発振器を実現することができる。

【0116】また、前記電圧加算器にオペアンプと抵抗による加算増幅器を用いるものにおいて、オペアンプの正入力に入力する基準電圧を可変する構成とすることにより、電圧制御発振器（VCO）の周波数偏差による位相誤差を補正することができる。

【0117】前記第1のPLL回路は、水晶発振器と、該水晶発振器の出力と電圧制御発振器の出力との位相比較を行なう第1の位相比較器と、該第1の位相比較器の出力を平滑化する第1のループフィルタと、該第1のループフィルタの出力と、前記第2のPLL回路からの基準電圧信号を受ける電圧加算器と、該電圧加算器の出力に応じた周波数信号を出力する電圧制御発振器と、該電圧制御発振器の出力を分周して前記第1の比較器の一方の入力に与える分周器とにより構成され、前記第2のPLL回路は、前記電圧制御発振器の出力をその一方の入力に受け、前記バースト信号を他方の入力に受ける第2の位相比較器と、該第2の位相比較器の出力を平滑化す

る第2のループフィルタと、該第2のループフィルタ出力を第1の引き込み制御信号 (CONT 1) によりサンプリングするサンプルホールド回路と、その一方が該サンプルホールド回路の出力又は基準電圧発生回路と接続され、他方が前記電圧加算器の一方の入力に接続され、第2の引き込み制御信号 (CONT 2) により前記サンプルホールド回路又は基準電圧発生回路のいずれか一方を選択するスイッチとにより構成されることにより、基準電圧発生回路又はサンプルホールド回路の出力をスイッチにより切り換えて第1のPLL回路に与える構成とすることにより、位相調整回路を必要とせずに、VCOの周波数偏差による位相誤差を補正することができる。

【0118】この場合において、前記基準電圧を発生する回路として、抵抗による分圧回路を用いたことにより、簡単な回路の組み合わせによりPLL発振器を実現することができる。

【0119】また、前記第1及び第2の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力と同時に立ち上がるように作成することにより、外部制御回路を使用することなくPLL発振器を実現することができる。

【0120】また、前記第1及び第2の引き込み制御信号を、バースト信号を分周する回路を用いて、バースト信号の入力待ち受け時より立ち上がるように作成することにより、外部制御回路を使用することなく、更に簡単な構成のPLL発振器を実現することができる。

【0121】また、前記位相比較器を、第1の入力とそのクロック入力に受けるDタイプフリップフロップと、第2の入力を受けて微分し、該Dタイプフリップフロップのクリア入力に与える微分回路とにより構成することにより、SRフリップフロップではなくDタイプフリップフロップを用いることによりPLL発振回路を実現することができる。

【0122】また、前記電圧加算器を、オペアンプと抵抗を用いた差動増幅器で構成し、該差動増幅器の第1の入力に、第1のループフィルタの出力を、第2の入力に第2のPLL回路の制御出力を接続することにより、差動増幅器によりPLL発振回路を実現することができる。

【0123】また、前記電圧加算器を、第1の入力に第1のループフィルタの出力を抵抗を介して、第2の入力に第2のPLL回路の制御出力を抵抗を介して出力側で接続した構成とすることにより、抵抗を用いた簡単な電圧加算器によりPLL発振回路を実現することができる。

【0124】また、前記サンプルホールド回路を、第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより

構成することにより、正確で変動の少ないPLL発振回路を実現することができる。

【0125】また、前記サンプルホールド回路を、第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、該A/D変換器の出力を第1のコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力又は固定データを受けて何れか一方を第2のコントロール信号によりセレクトするセレクトと、該セレクトの出力をアナログ信号に変換するD/A変換器とにより構成することにより、正確で変動の少ないPLL発振回路を実現することができる。

【0126】また、前記位相比較器を、第1の入力とそのクロック入力に受けるDタイプフリップフロップと、第2の入力を受けて微分し、該Dタイプフリップフロップのクリア入力に与える微分回路とにより構成し、前記サンプルホールド回路を、第2のループフィルタの出力を受けてデジタル信号に変換するA/D変換器と、該A/D変換器の出力をコントロール信号によりラッチするラッチ回路と、該ラッチ回路の出力をアナログ信号に変換するD/A変換器とにより構成することにより、簡略かつ高精度なPLL発振回路を実現することができる。

【0127】また、前記サンプルホールド回路を、抵抗とコンデンサによる積分回路と、該積分回路の出力をコントロール信号によりサンプリングするスイッチと、該スイッチによりサンプリングした信号を保持するコンデンサとにより構成することにより、非常に簡略化したサンプルホールド回路によりPLL発振回路を実現することができる。

【0128】また、前記第1のループフィルタの出力を切り換える時定数回路を、第1の抵抗と、コントロール信号によりオン/オフされるスイッチが直列に接続された第2の抵抗との並列回路と、該並列回路と接続されるコンデンサとで構成することにより、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0129】また、前記第1のループフィルタの出力を切り換える時定数回路を、第1の抵抗と第2の抵抗の直列回路と、該第2の抵抗の両端をコントロール信号により短絡するスイッチと、前記直列回路と接続されるコンデンサとで構成することにより、PLL引き込み時には高速の引き込みを行ない、PLLロック後はジッタの少ない安定な動作を行なうPLL発振回路を実現することができる。

【0130】また、前記水晶発振器の出力を1/N分周器を介して第1の位相比較器の一方の入力に入力し、前記電圧制御発振器の出力を1/M分周器を介して第1の位相比較器の他方の入力に入力し、前記水晶発振器の出力を1/N'分周器を介して第2の位相比較器の一方の

10

20

30

40

50

入力に入力し、バースト信号を $1/M'$ 分周器を介して第 2 の位相比較器の他方の入力に入力する構成とし、
 $N' = n \cdot N$,

前記電圧加算器の第 1 のループフィルタ出力を受ける入力抵抗の抵抗値を R_3 、前記サンプルホールド回路の出力を受ける入力抵抗の抵抗値を R_4 とした場合に、
 $R_4 = n \cdot R_3$,

$M = m \cdot M'$ (但し、 M , m , N , n , M' , N' は整数)

とすることにより、入力信号の n/m 倍の基準クロックを用いて、入力信号の m 倍の出力クロック信号を得ることができる。

【0131】また、回路内に含まれる分周器の分周比を 1 とすることにより、分周器を直結することにより、入力信号と基準クロックと出力クロック信号が等しい周波数の時に、分周器を省略した簡単な回路の PLL 発振回路を実現することができる。

【0132】また、前記水晶発振器の代わりに温度補償型水晶発振器 (TCXO) を用いることにより、TCXO を基準にした高い安定度の PLL 発振回路を実現することができる。

【0133】更に、前記水晶発振器の代わりに、水晶振動子と抵抗とコンデンサを用いた発振回路を用いることを特徴としている。この発明の構成によれば、水晶振動子による安価な回路により IC 化に適した PLL 発振回路を実現することができる。

【0134】このように、本発明によれば高速引き込みを行なうことができる高速同期型水晶発振器を提供することができ、実用上の効果が極めて大きい。

【図面の簡単な説明】

【図 1】本発明の原理ブロック図である。

【図 2】本発明の第 1 の実施の形態例を示すブロック図である。

【図 3】バースト信号に対する PLL の動作と引き込み制御信号との関係を示す図である。

【図 4】第 1 の実施の形態例の第 1 の PLL 回路のブロック図である。

【図 5】VCO の制御電圧と出力周波数の関係を示す図である。

【図 6】出力 a と b の位相関係を示す図である。

【図 7】位相比較器の入力位相差と VCO の制御電圧との関係を示す図である。

【図 8】第 1 の実施の形態例の動作を示すタイムチャートである。

【図 9】基準電圧と位相の関係を示す図である。

【図 10】第 1 の実施の形態例の第 2 の PLL 回路のブロック図である。

【図 11】第 2 の PLL 回路の動作を示すタイムチャートである。

【図 12】第 1 の実施の形態例の動作を示すタイムチャ

ートである。

【図 13】第 1 の実施の形態例の具体的構成例を示す回路図である。

【図 14】位相比較器 1, 2 の機能説明図である。

【図 15】位相比較器 1, 2 の機能説明図である。

【図 16】位相変化の説明図である。

【図 17】制御信号発生回路の一実施の構成例を示す図である。

【図 18】制御信号発生回路の動作を示すタイムチャートである。

【図 19】制御信号発生回路の他の具体的構成例を示す図である。

【図 20】制御信号発生回路の他の動作を示すタイムチャートである。

【図 21】周波数偏差を補正する電圧加算器の具体的構成例を示す図である。

【図 22】本発明の第 2 の実施の形態例を示すブロック図である。

【図 23】第 2 の実施の形態例の動作を示すタイムチャートである。

【図 24】第 2 の実施の形態例の具体的構成例を示す回路図である。

【図 25】制御信号発生回路の具体的構成例を示す図である。

【図 26】制御信号発生回路の動作を示すタイムチャートである。

【図 27】制御信号発生回路の他の具体的構成例を示す図である。

【図 28】制御信号発生回路の動作を示すタイムチャートである。

【図 29】位相比較器の他の具体的構成例を示す回路図である。

【図 30】位相比較器の動作を示すタイムチャートである。

【図 31】ディレイ回路の具体的構成例を示す図である。

【図 32】電圧加算器の他の構成例を示す図である。

【図 33】電圧加算器の他の具体的構成例を示す図である。

【図 34】サンプルホールド回路の他の構成例を示す図である。

【図 35】サンプルホールド回路の他の構成例を示す図である。

【図 36】第 2 の実施の形態例の要部の他の構成例を示すブロック図である。

【図 37】制御信号の発生タイミング例を示す図である。

【図 38】サンプルホールド回路の他の構成例を示す図である。

【図 39】ループフィルタの時定数切り換え回路の一例

を示す図である。

【図40】CONT3の動作の一例を示すタイムチャートである。

【図41】フィルタのカットオフ特性例を示す図である。

【図42】ループフィルタの時定数切り換え回路の他の例を示す図である。

【図43】本発明の第3の実施の形態例の具体的構成例*

*を示す回路図である。

【図44】温度補償型水晶発振器を用いた発振回路例を示す図である。

【図45】水晶発振回路の構成例を示す図である。

【図46】PLL回路の従来構成例を示す図である。

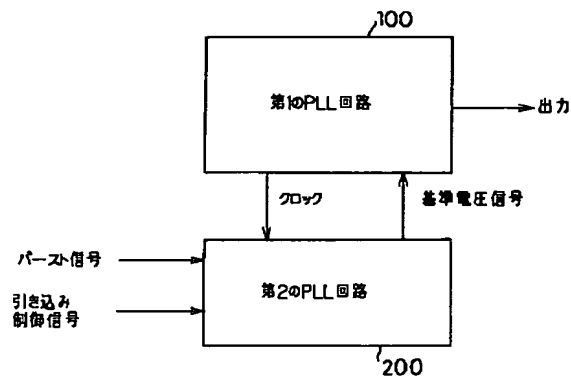
【符号の説明】

100 第1のPLL回路

200 第2のPLL回路

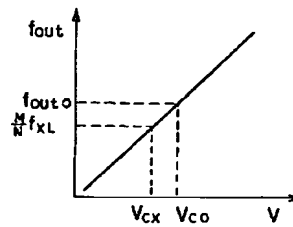
【図1】

本発明の原理ブロック図



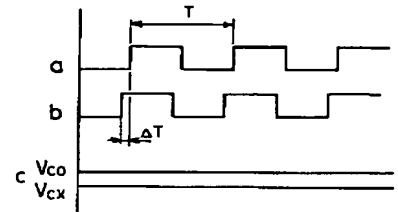
【図5】

VCOの制御電圧と出力周波数の関係を示す図



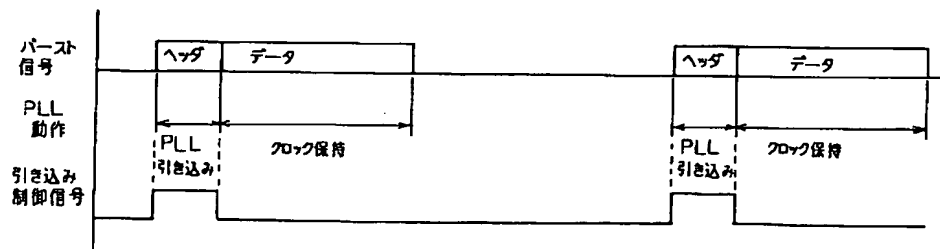
【図6】

出力aとbの位相関係を示す図



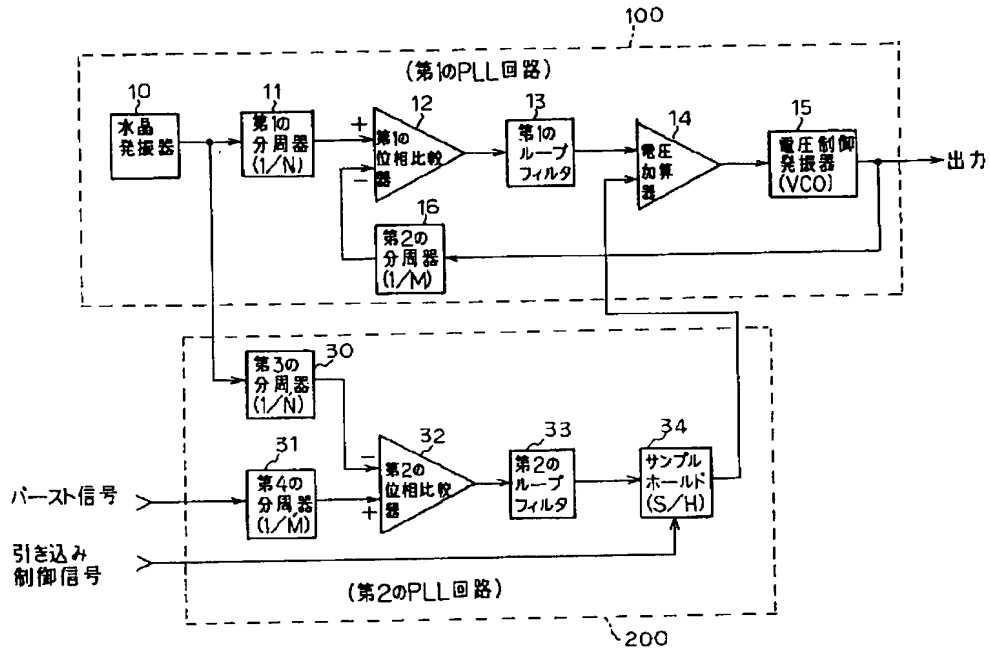
【図3】

パース信号に対するPLLの動作と引き込み制御信号との関係を示す図



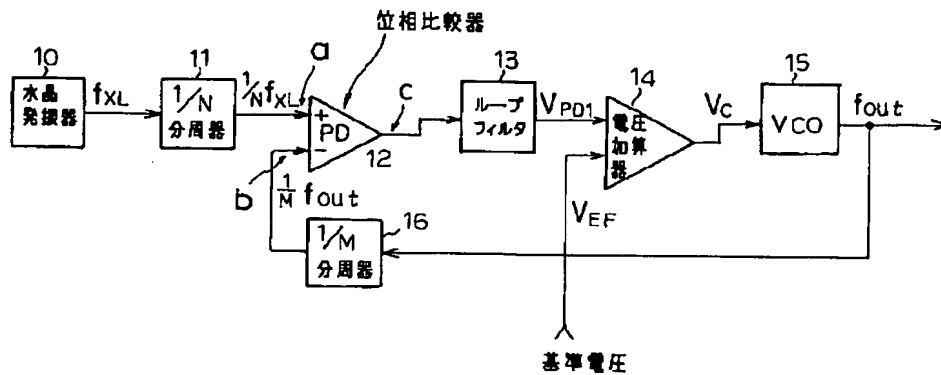
【図2】

本発明の第1の実施の形態例を示す
ブロック図



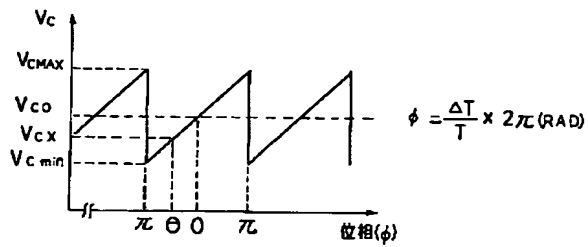
【図4】

第1の実施の形態例の第1のPLL回路の
ブロック図



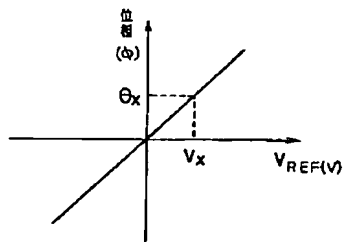
【図7】

位相比較器の入力位相差とVCOの制御電圧の
関係を示す図



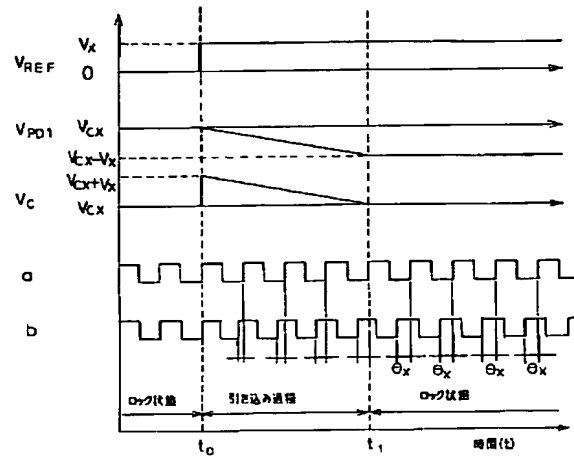
【図9】

基準電圧と位相の関係を示す図



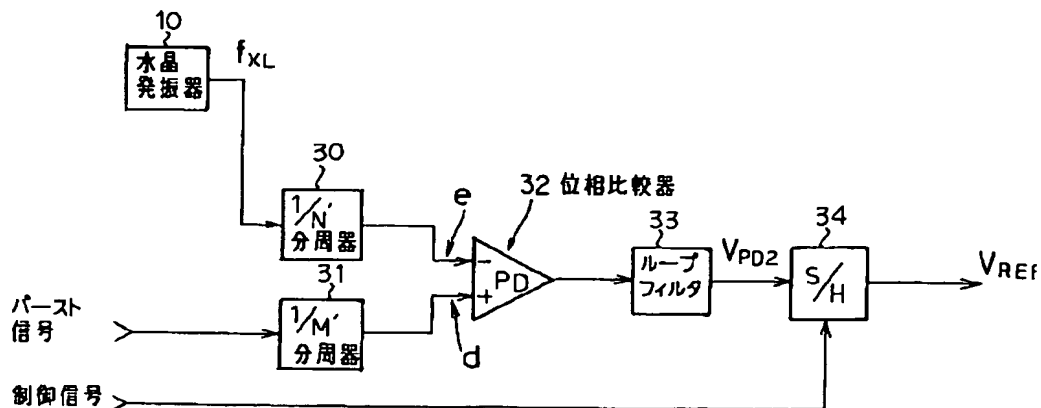
【図8】

第1の実施の形態例の動作を示すタイムチャート



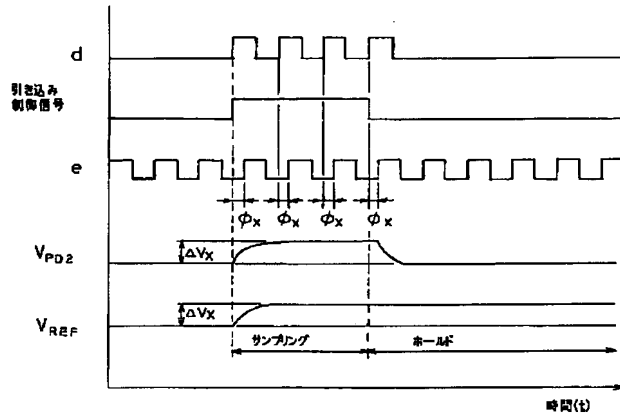
【図10】

第1の実施の形態例の第2のPLL回路の
ブロック図



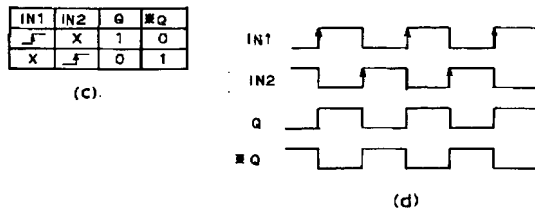
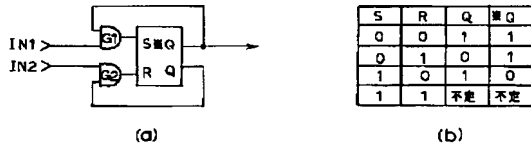
【図11】

第2のPLL回路の動作を示すタイムチャート



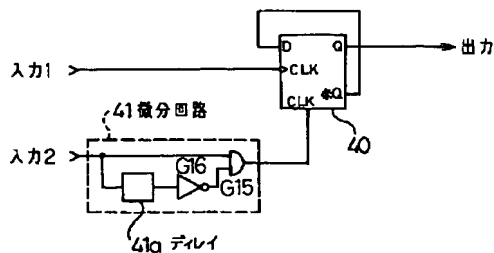
【図14】

位相比較器1,2の機能説明図



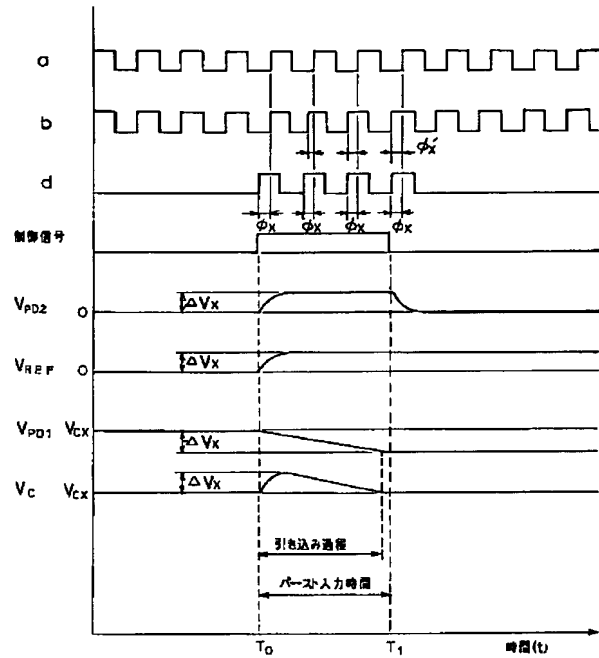
【図29】

位相比較器の他の具体的構成例を示す回路図



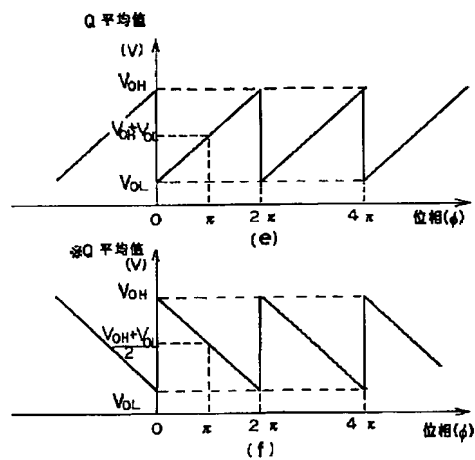
【図12】

第1の実施の形態例の動作を示すタイムチャート



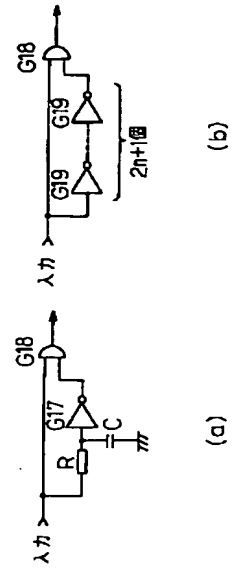
【図15】

位相比較器1,2の機能説明図



【图 3 1】

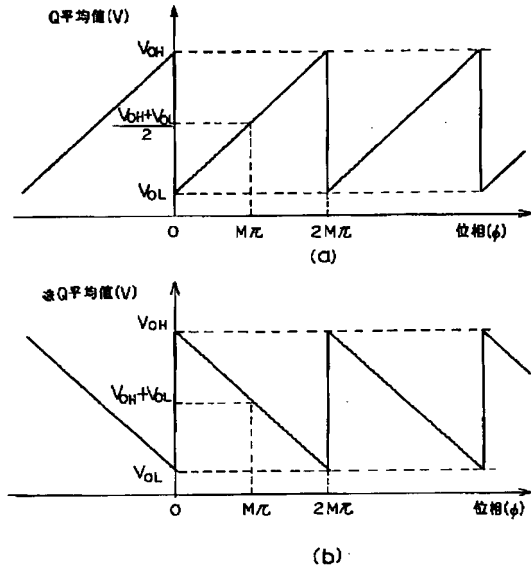
ディレイ回路の具体的構成例を示す図



(b)

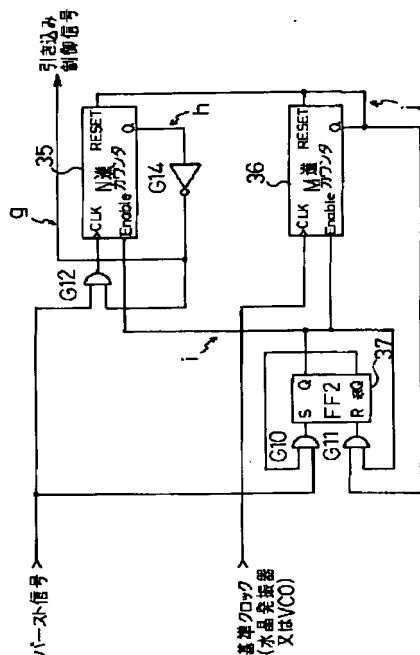
【図16】

位相変化の説明図



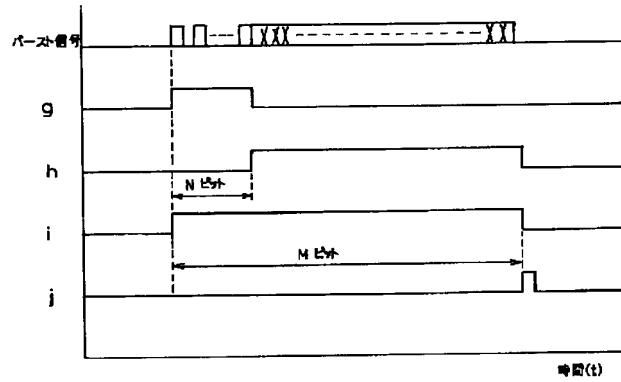
【図19】

制御信号発生回路の他の具体例を示す図



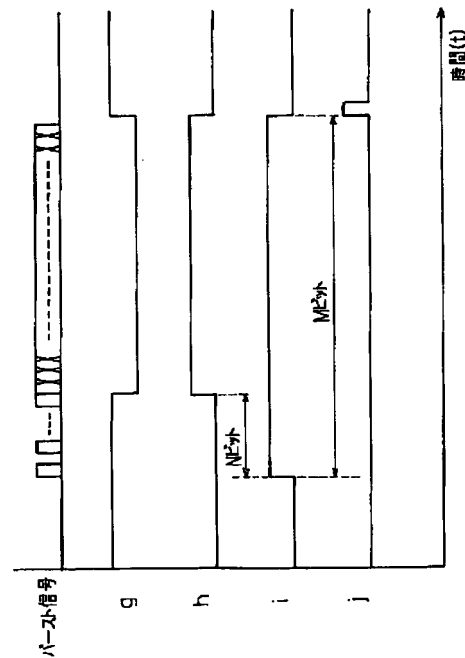
【図18】

制御信号発生回路の動作を示すタイムチャート



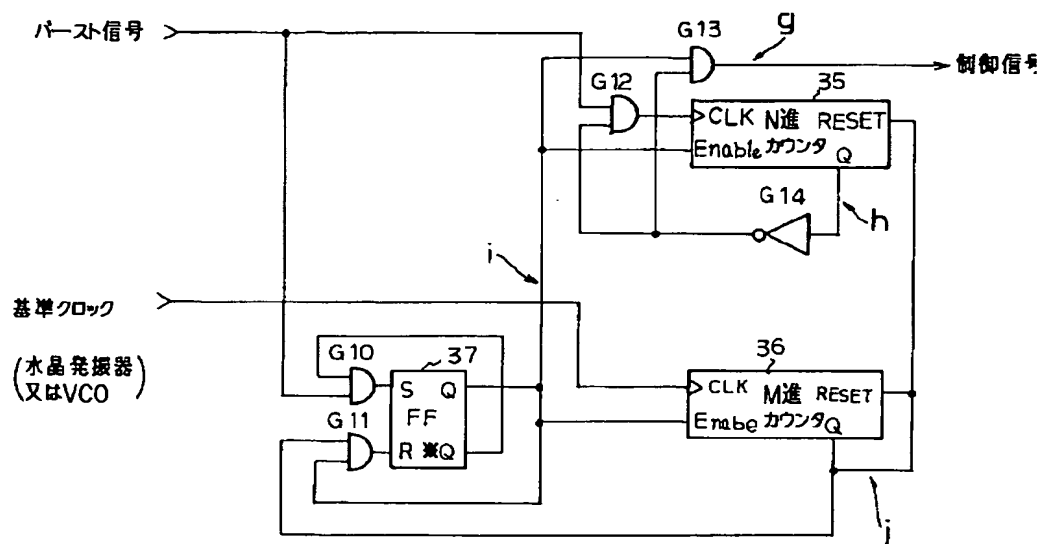
【図20】

制御信号発生回路の他の動作を示すタイムチャート



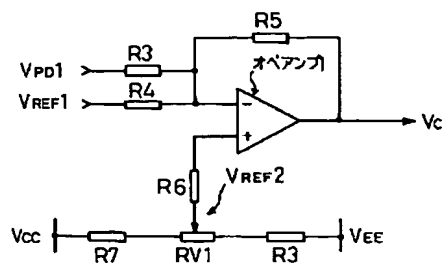
【図17】

制御信号発生回路の一実施の構成例を示す図



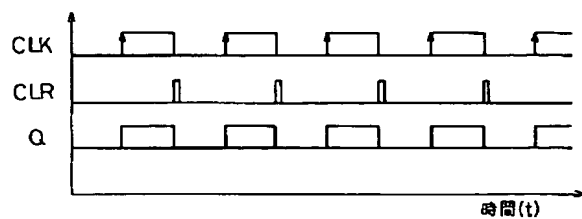
【図21】

周波数偏差を補正する電圧加算器の具体的構成例を示す図



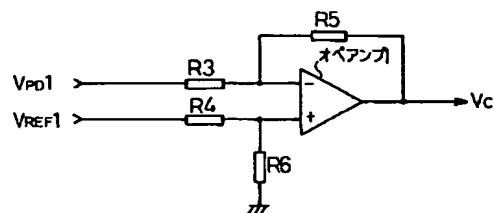
【図30】

位相比較器の動作を示すタイムチャート



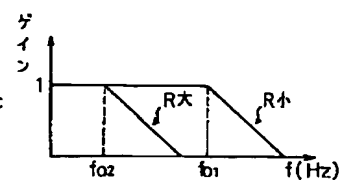
【図32】

電圧加算器の他の構成例を示す図



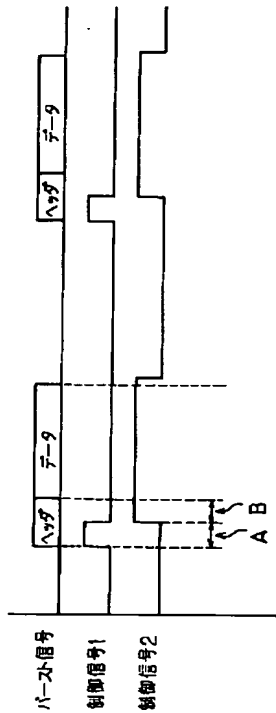
【図41】

フィルタのカットオフ特性例を示す図



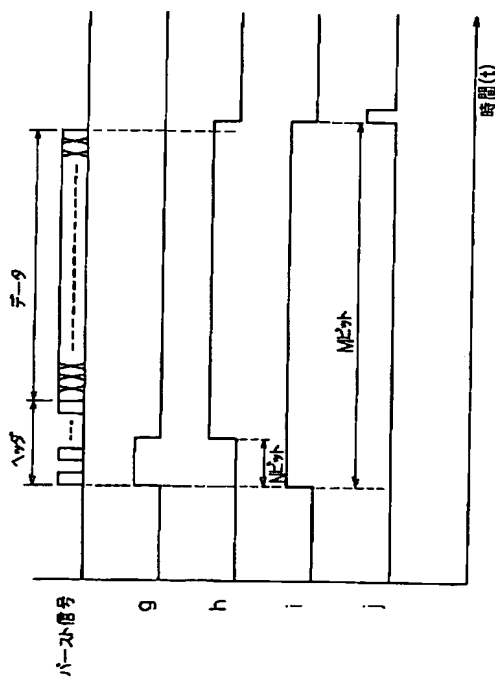
【図23】

第2の実施の形態例の動作を示すタイムチャート



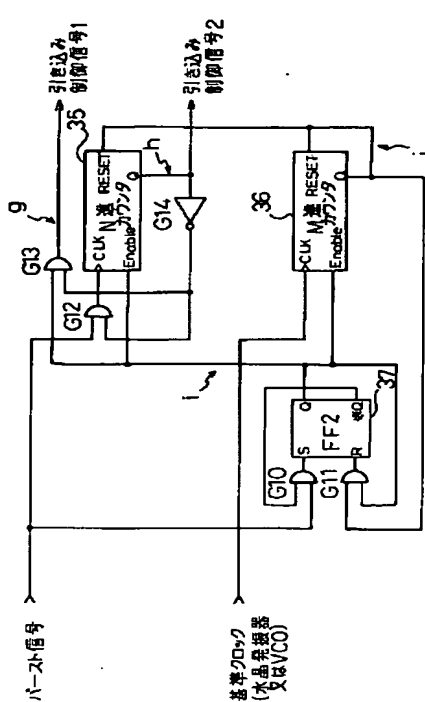
【図26】

制御信号発生回路の動作を示すタイムチャート



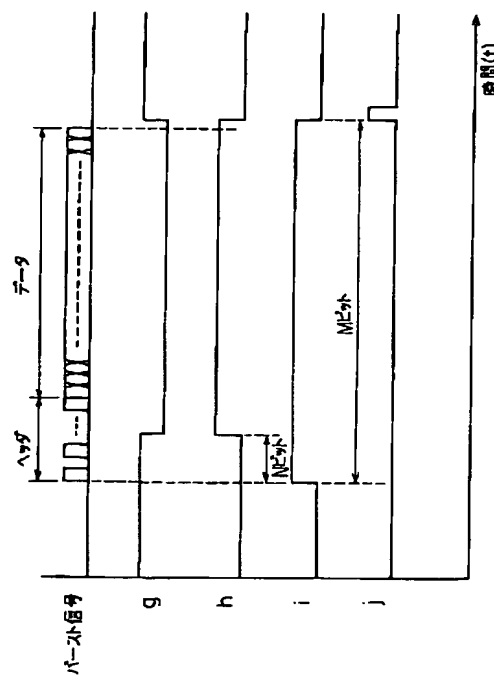
【図25】

制御信号発生回路の具体的構成例を示す図



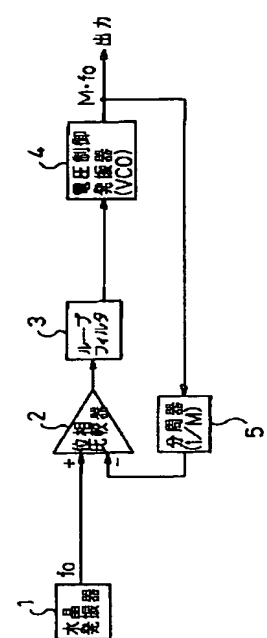
【図28】

制御信号発生回路の動作を示すタイムチャート



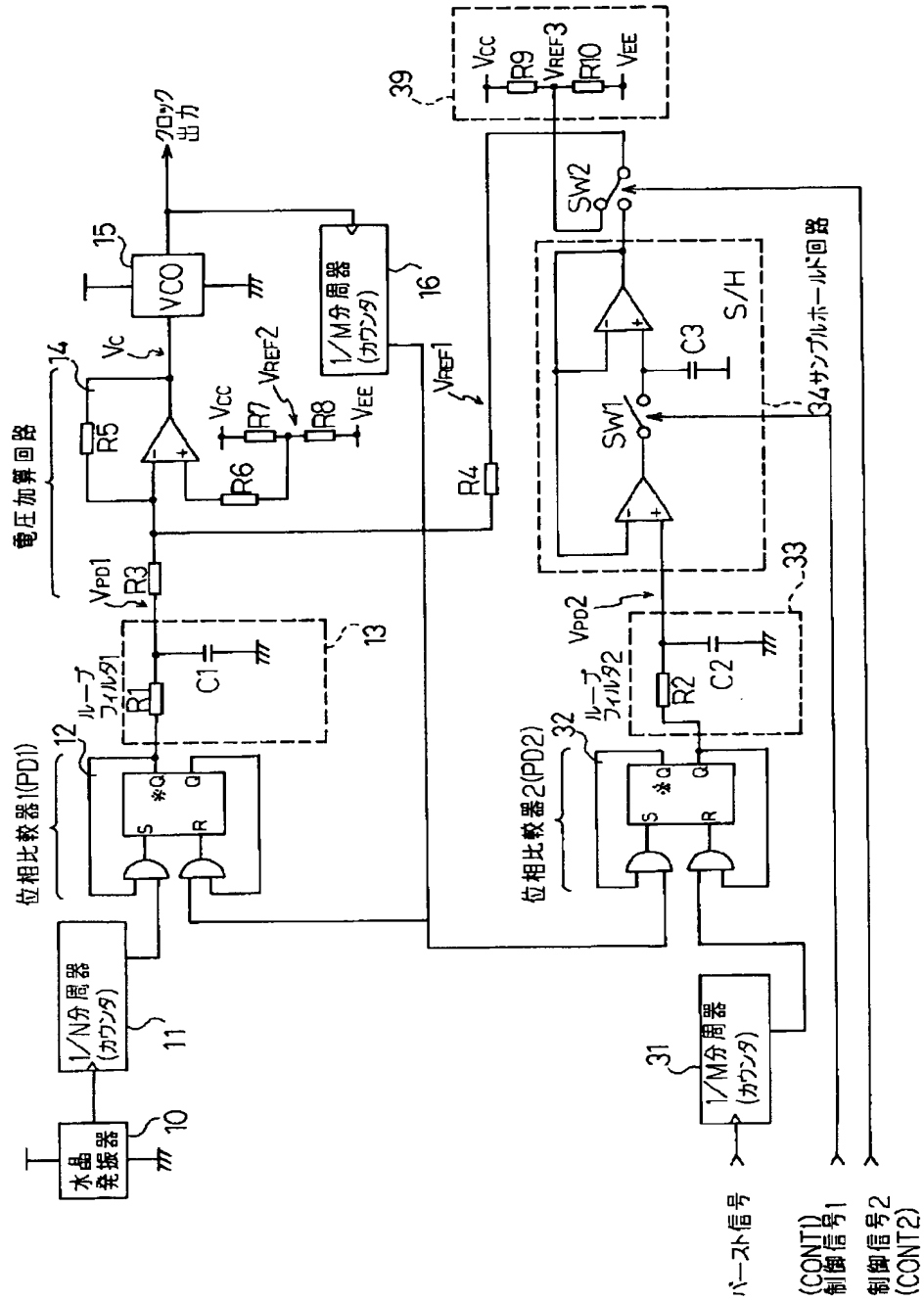
【図46】

PLL回路の従来構成例を示す図



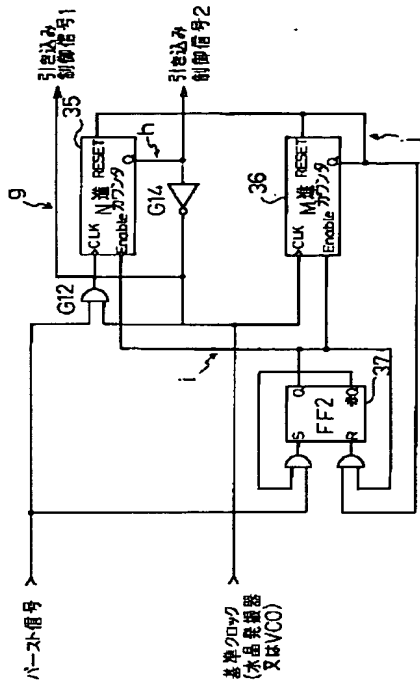
【図24】

第2の実施の形態例の具体的構成例を示す回路図



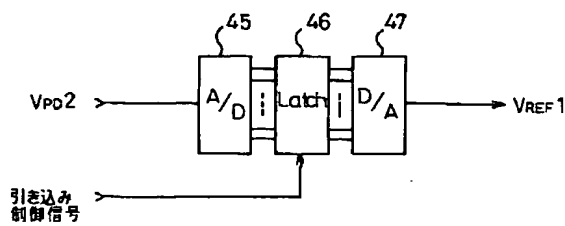
【図27】

制御信号発生回路の他の具体的構成例を示す図



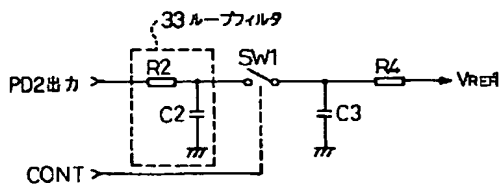
【図34】

サンプルホールド回路の他の構成例を示す図



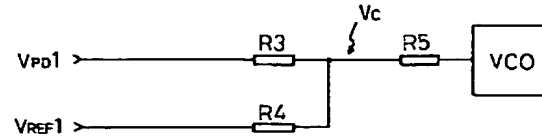
【図38】

サンプルホールド回路の他の構成例を示す図



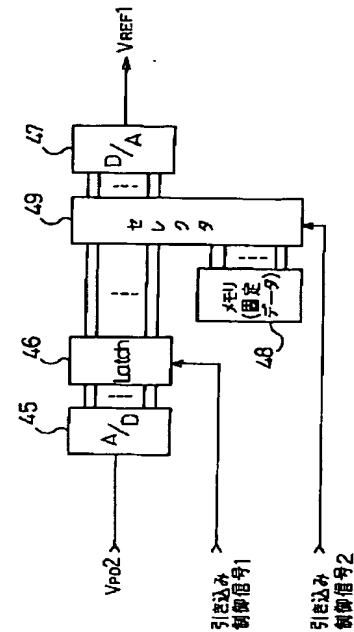
【図33】

電圧加算器の他の具体的構成例を示す図



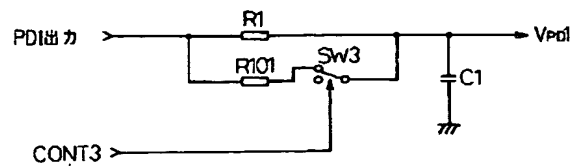
【図35】

サンプルホールド回路の他の構成例を示す図



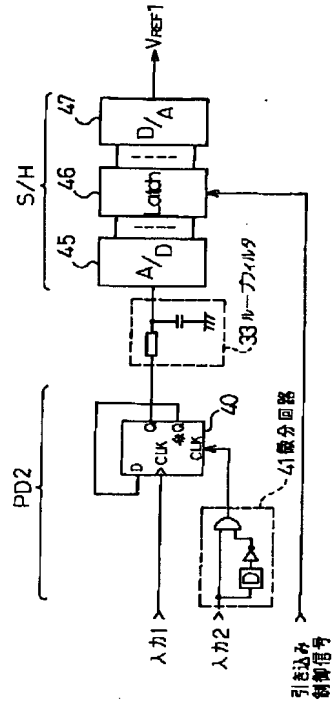
【図39】

ループフィルタの時定数切り換え回路の一例を示す図



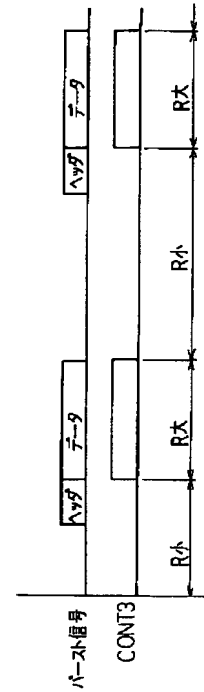
【図 3 6】

第2の実施の形態例の要部の他の構成例を示すブロック図



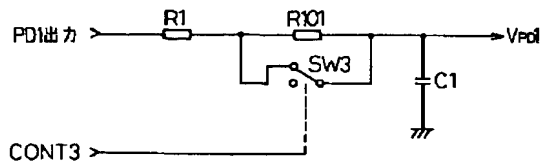
【図 40】

CONT3の動作の一例を示すタイムチャート



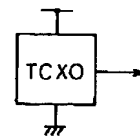
【図 4 2】

ループフィルタの時定数切り換え回路の他の例を示す図



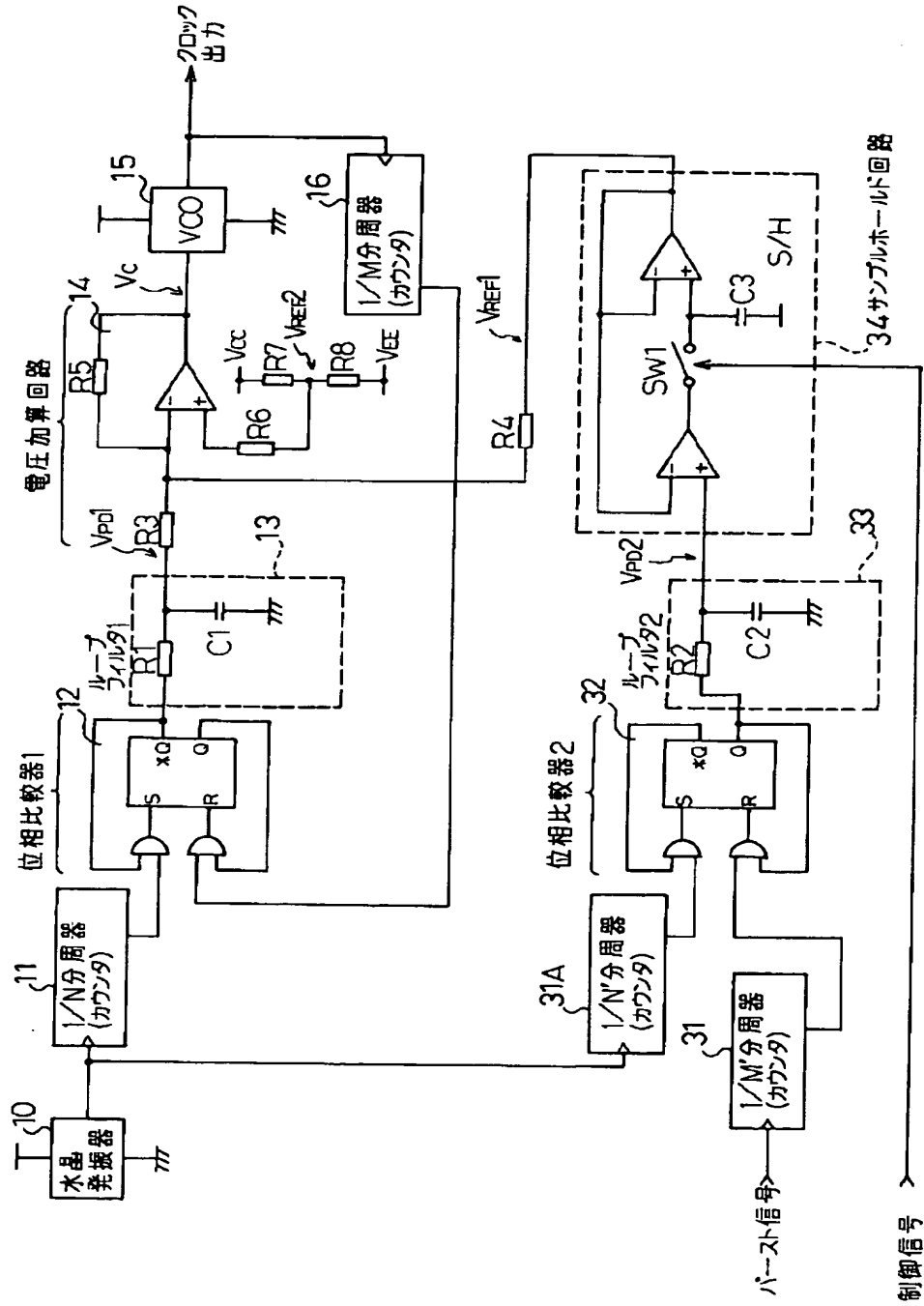
【図 4 4】

温度補償型水晶発振器を用いた発振回路例を示す図



【図43】

本発明の第3の実施の形態例の具体的構成例を示す回路図



10/2/20

THIS PAGE BLANK (USPTO,